

Projet DICE

-Développement pIxels pour les taux de Comptage et niveau de radiation Extrêmes-

Journee R&T, IJClab
4-6/10/2021

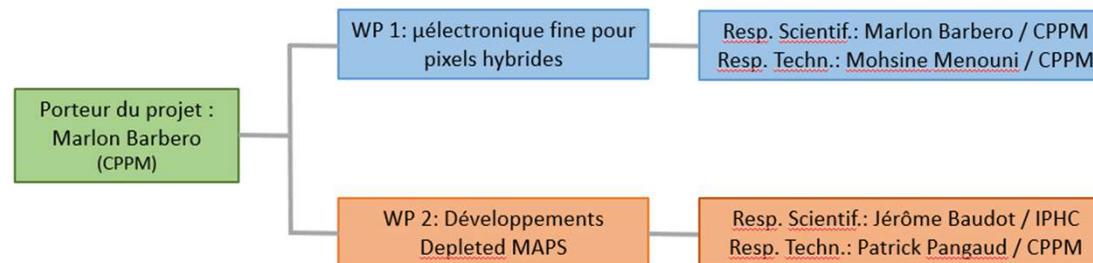
Marlon Barbero
CPPM, Aix-Marseille Université, CNRS / IN2P3, France

Plan de la présentation

1. Introduction
2. WP - Pixels Hybrides : 28 nm
3. WP - Depleted MAPS :
 - a) TJ65
 - b) LF150
 - c) TJ180
4. Avancées, TRL, calendrier
5. Conclusion

Le projet DICE

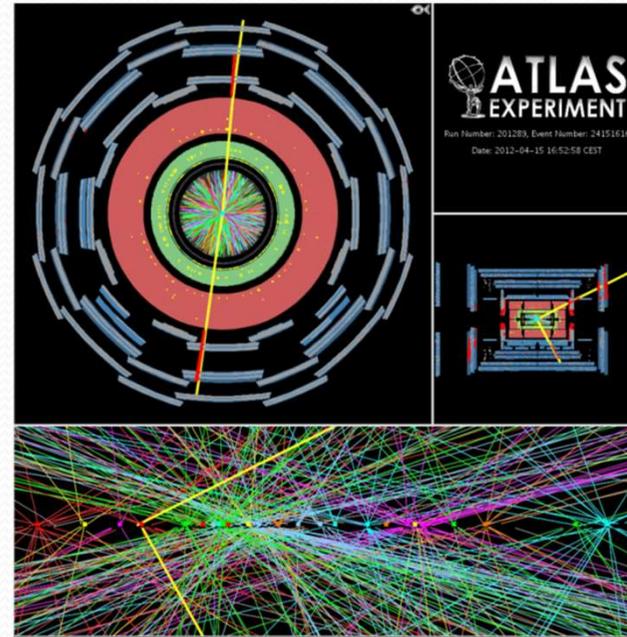
- Un projet porté par le CPPM et l'IPHC, porteur M. Barbero / CPPM (+ J. Baudot / IPHC)
- Une thématique générale:
 - Détecteurs pixels de traces et de vertex dans les technologies pertinentes pour de futurs projets qui se caractérisent en premier lieu par:
 - Taux de comptage / taux d'occupation importants.
 - Résistance aux radiations moyennes à élevées.
- 2 Work Packages:
 - **Les Pixels Hybrides:** Exploration de technologies mettant en œuvre des nœuds de process très avancés -e.g. 28 nm- (RS: Barbero / RT: Menouni)
 - **Les Pixels Monolithiques:** Exploration de la technologie Depleted MAPS dans deux directions principales, exploitation des développements et potentialité des nouvelles technologies (RS: Baudot / RT: Pangaud)



WP1: Pixels hybrides pour futurs trackers

- Future génération des circuits de lecture des pixels pour les détecteurs internes
 - Des conditions de **rayonnement** ultra-sévères
 - Un **taux de hits** sans précédent
 - Techniques complexes de **gestion de trigger**
 - **Transfert de données** à un débit de plusieurs dizaines de Gbit/s
 - **Petite taille de pixel** intégrant des **fonctions digitales très complexes** demandant une forte densité d'intégration
 - Résolution temporelle accrue → **tracking 4D**
 - **Faible consommation** et faible budget de matière

- **Process CMOS 28 nm standard**
 - Meilleur compromis **densité d'intégration et tolérance au rayonnement ionisant**
 - **Candidat potentiel pour succéder au nœud CMOS 65nm** utilisé pour le développement des pixels hybrides pour le HL-LHC



- Augmentation de la luminosité instantanée
 - augmentation du pile up
- Run2 : 40 interactions de pile up dans ATLAS (par bunch crossing)
- HL-LHC : 200 interactions pile up dans ATLAS
- L'exploitation de la mesure du temps permet de séparer les traces

Plan à court terme

- Utilisation du process CMOS 28 nm
 - Process préconisé par le CERN
 - Process planaire standard → résistance à la dose ionisante

- Etude de la **compatibilité avec la conception des fonctions analogiques** nécessaires pour les circuits à pixels.
 - Simulations de circuits de base
 - Qualification du process en termes de performances pour les circuits de type analogique, basse consommation et bas bruit

- **Qualifications en TID** du process
 - Compatibilité avec les niveaux de dose prévus futurs projets à pixels
 - Modélisation de l'effet de TID
 - Simulations analogiques et numériques prenant en compte les effets de dose

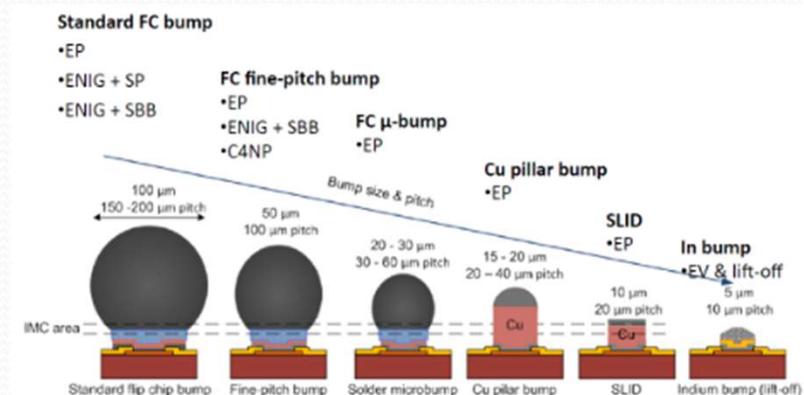
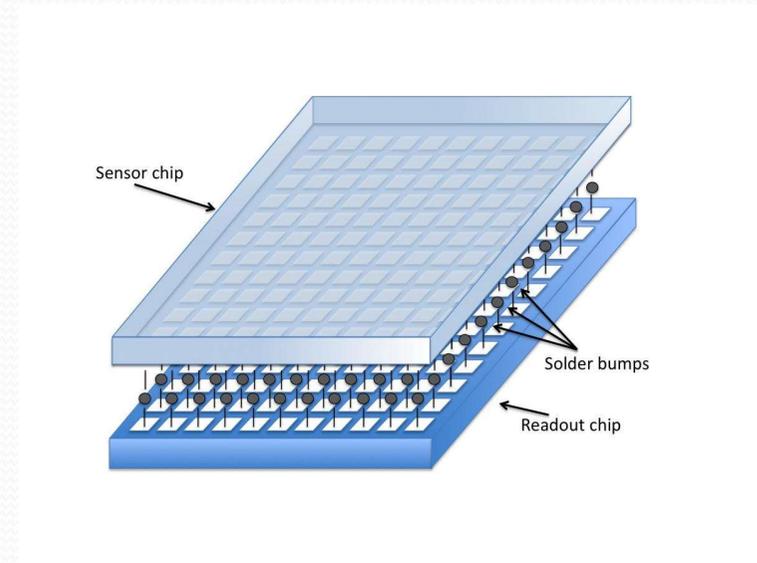
- **Effets singuliers (SEE)**
 - Circuits prototypes pour l'étude des effets SEU/SET
 - Très faibles capacité des nœuds de stockage
 - Besoin de nouvelles architectures plus tolérantes ?

Plan à moyen/long terme

- **Conception d'une petite matrice de pixels** → 64 × 64 pixels de 25 μm × 25 μm
 - Utilisation de l'approche « digital on top »
 - La maîtrise des outils de conception numérique est indispensable pour aborder la conception de circuits à pixels
 - Fonctions analogiques avec de fortes contraintes comme les amplificateurs bas bruit, ADC de précision, PLL, ou sérialiseurs haute vitesse

- Travail de prospections sur les **techniques d'hybridation évoluées**
 - Advacam propose des techniques d'hybridation 10–20 μm
 - IZM ?
 - Techniques 3D ?

- **Projet ambitieux en terme de RH et budget**
 - Les cycles de conception pour ce type de process sont plus longs et nécessitant plus de vérifications
 - Devrait se faire au sein de collaborations
 - **IN2P3 : Elargissement du projet DICE aux laboratoires intéressés par de tels développements**
 - **RD53 s'intéresse au design 28 nm pour le futur des expériences LHC (niveaux internes)**



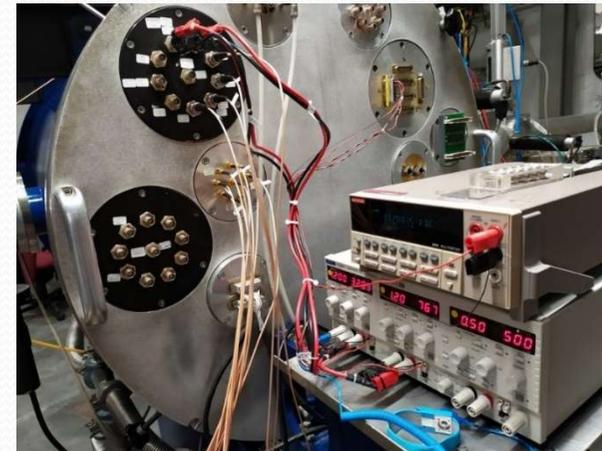
Techniques d'interconnexions très haute densité (source Vahanen Advacam)

Avancement et perspectives

- Personnes impliquées au niveau design:
 - Eva Joly (Apprentie ingénieure) → 50%
 - Mohsine Menouni (IR) → 20%
 - Denis Fougeron (IR) → 20 %
- **Soumission d'un chip prototype en 28 nm fin 2021/début 2022**
 - Transistors unitaires (TID)
 - Ring Oscillator pour les tests TID (Caractérisation librairies digitales / Projet de fin d'étude pour Eva)
 - Circuit pour les tests SEU
 - Bloc analogique : Amplificateur de charge rapide
- **Préparation des tests :**
 - Conception de cartes de tests
 - Choix du système d'acquisition
- **Tests fonctionnels Q2/Q3-2022**
- **Test irradiation (TID + SEE) Q3-2022**
- **Fin 2022 / début 2023 → Soumission d'une matrice 64 × 64 de pixels 25µm².**



TID Testing at AMU-Saint Jérôme



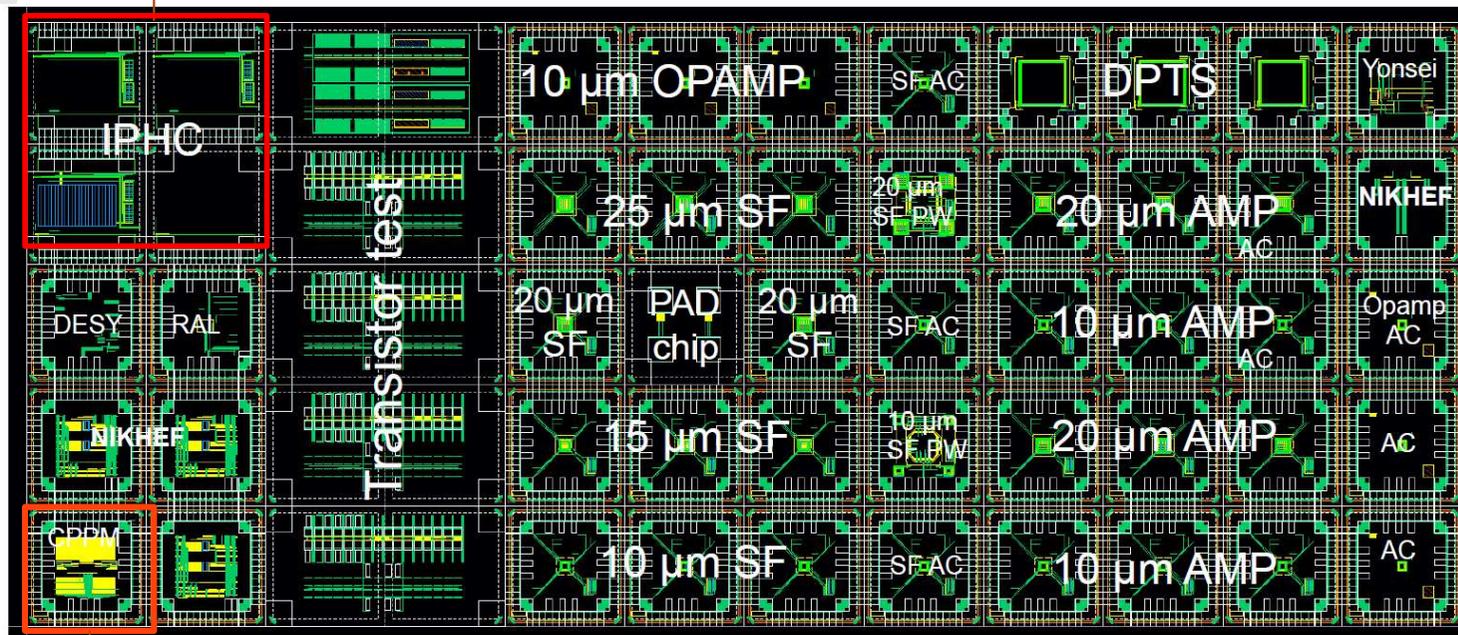
Heavy Ions SEU Tests at UCL Louvain La Neuve

- **Applications de la R&D avancée:**
 - Court terme
 - Validation des performances des LF-/TJ- Monopix2, travail sur les technologies LF150 et TJ180
 - Moyen terme
 - Adapter Monopix2 pour un démonstrateur Belle II: OBELIX-v1
- **Nouvelle R&D:** Exploration nouvelle technologie TJ-65 nm
 - Court terme
 - vérifier les performances de bases
 - Évaluer l'adéquation avec objectifs DICE
 - Moyen terme
 - Prototype(s) dédié(s) pour
 - Taux de comptage élevés ($\gg 100$ MHz/cm²)
 - Résolution temporelle vers 100 ps
 - Radiotolérance $\gg 10^{15}$ n_{eq}/cm²
 - Evolution possible vers une R&D “système de tracking”
 - Gestion du flux important de données et/ou timing avec de l'intelligence proche (ASIC ou FPGA)

TJ- 65 nm - MLR1

Le MLR1 a été soumis en décembre 2020, retour à l'été 2021.

L'IPHC a contribué à cette soumission avec des Front-Ends analogiques CE65 pour étudier la collection de charge dans la nouvelle technologie.



Le CPPM a contribué avec une série de Ring Oscillators conçue pour caractériser la tenue aux radiations ionisantes des cellules standards des bibliothèques digitales de la technologie.

Architecture du Ring Oscillator

En résumé: Un prototype de test contenant 24 x 2 ring oscillator, formé de cellules de type différent (Inv, Nand, Nor, DFF), de tailles différentes, et avec deux seuils VT (bas, super-bas).

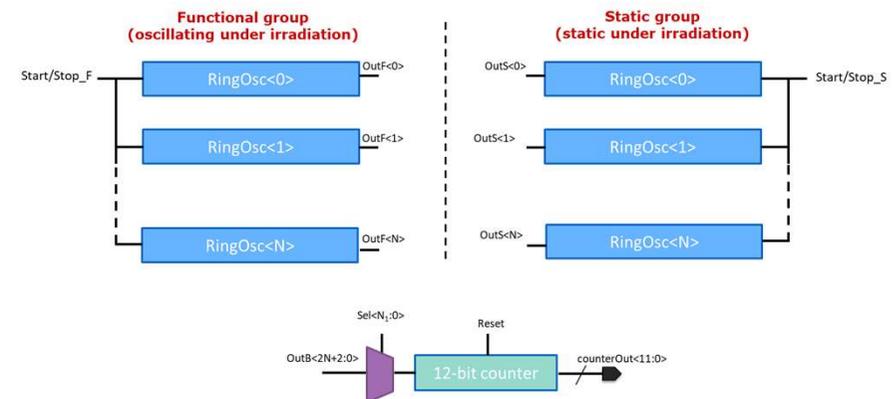
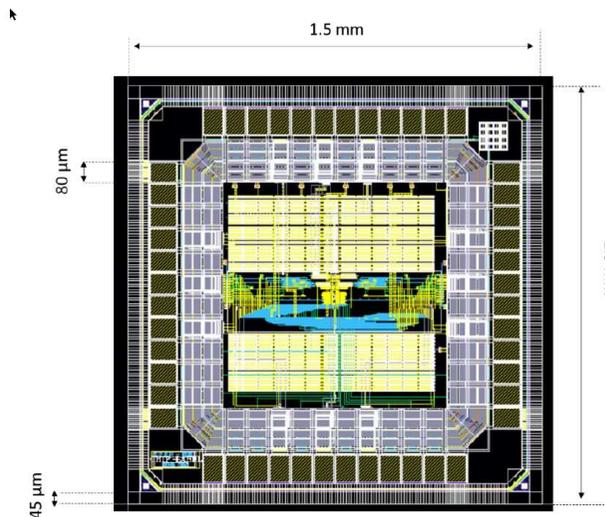
La fréquence d'oscillation dépend de plusieurs facteurs:

- **Température**
- **Polarisation**
- **TID et Dose rate**

Mais il a été observé aussi d'autres facteurs (en techno TSMC 65 nm)... possibilité de test avec cette soumission:

- **Cellules dynamiques ou statiques**
- **Entrées cellules asymétriques**

Low V_T		Super Low V_T	
Size Min	Size+	Size Min	Size+
INV0_LVT	INV4_LVT	INV4_SLVT	INV8_SLVT
NOR1_LVT_A	NOR4_LVT_A	NOR4_SLVT_A	NOR8_SLVT_A
NOR1_LVT_B	NOR4_LVT_B	NOR4_SLVT_B	NOR8_SLVT_B
NAND0_LVT_A	NAND4_LVT_A	NAND4_SLVT_A	NAND4_SLVT_A
NAND0_LVT_B	NAND4_LVT_B	NAND4_SLVT_B	NAND4_SLVT_B
DFF1_LVT	DFF4_LVT	DFF1_SLVT	DFF4_SLVT

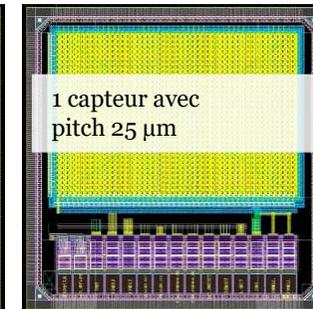
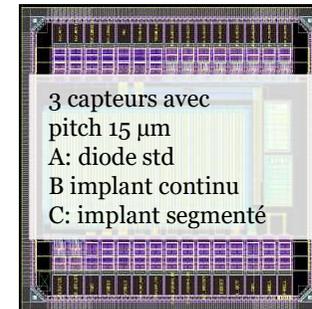


▪ **Objectif général**

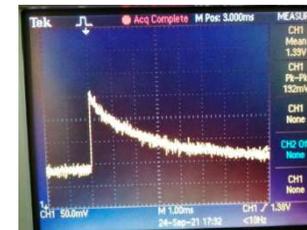
- Comprendre les **propriétés de collection des charges de la nouvelle techno**
 - SNR, partage des charges, vitesse du signal
 - pour des capteurs non-irradiés et irradiés
- Activités largement commune avec MP R&D-CMOS

▪ **4 capteurs conçus: CE-65**

- Petite **matrices** à sorties analogiques 64/48x32
- Déclinés chacun en 12 versions
 - Front-end : ampli DC, ampli DC, suiveur DC
 - **profil de dopage, std et 3 modifs** (pilotées par CERN)
- Test faisceau en oct & novembre
 - Collab: CERN+INFN+IPHC



Premier signaux ⁵⁵Fe



▪ **Conception (en 2021) pour soumission Q1-2022 (ER1)**

- (Grand circuit 10x30 cm², MOSS, inspiré par ALICE => R&D-CMOS)
- Long circuit 2x30 cm², **MOST**, préservation du timing =>
 - Nouvelle architecture de lecture, basse consommation & info temporelle
 - Intérêt pour DICE
- **Optimisation pixels avec nouvelles petites matrices CE-65+**
=> **double intérêt DICE + R&D-CMOS**

Deux développements Monopix

LF-Monopix2:



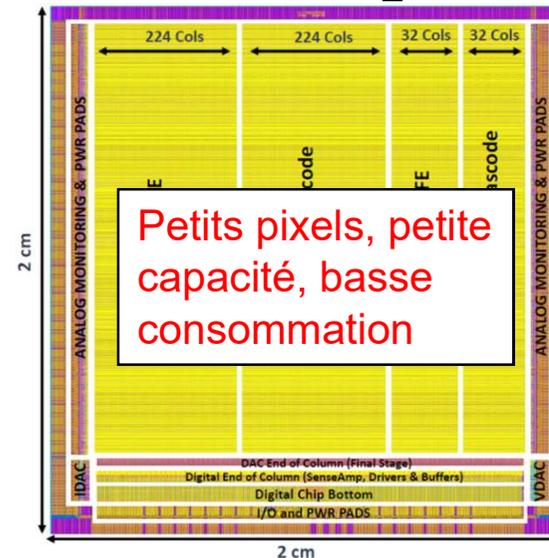
2×1 cm², 340×56 pixels, 50×150 μm²

Amélioration de la FE Analogique /
Digitale, Taille pixels réduite,
meilleur layout

Soumission en Juin 2020

→ Retour Décembre 2020

TJ-Monopix2:



2×2 cm², 512×512 pixels, 33×33 μm²

Nouveaux implants pour une
meilleure collection de charges après
irradiation, bas seuil

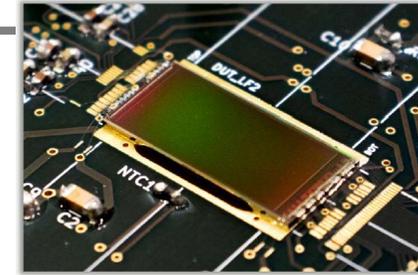
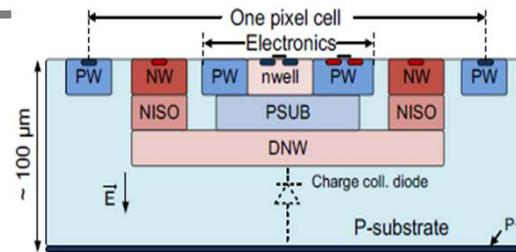
Soumission en Octobre 2020

→ Retour Février 2021

Technologie LFOUNDRY 150nm

Circuit **LF-MONOPIX2** (Bonn, CPPM, IRFU)

Le circuit est revenu fin 2020 : 12 wafers

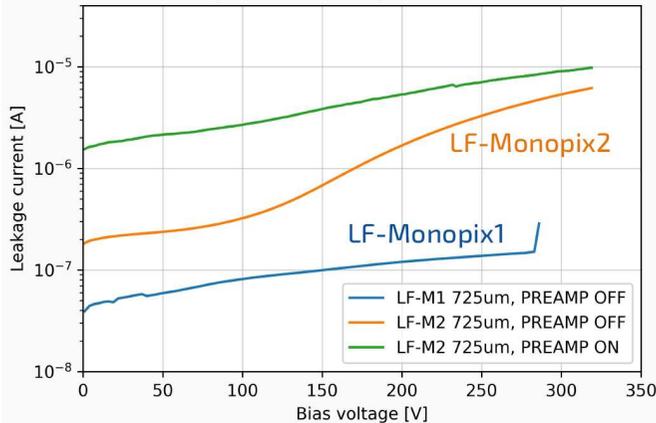


Utilisation d'un banc de test développé par Univ Bonn : Carte MIO3+GPAC. Firmware développé par Bonn.

Les tests réalisés par Bonn et CPPM (en cours) montrent un circuit fonctionnel avec des résultats proches des spécifications. Cette deuxième version (LF-MONOPIX2) qui devait réparer certains problèmes de xtalk et d'ajustement de seuil est fidèle aux attentes.

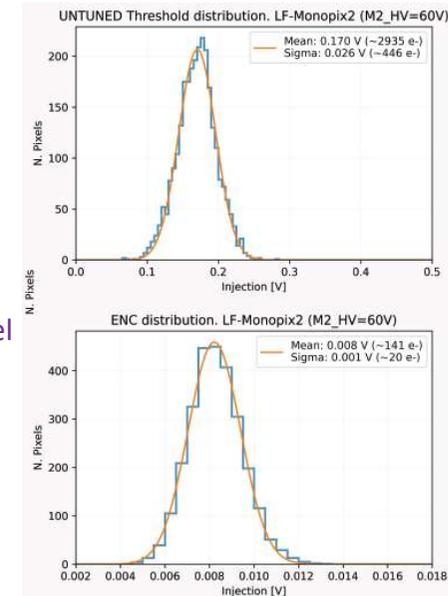
Tests en cours : caractérisations du sensor, ajustement des seuils. Puis viendront les tests de tenue aux irradiations pour 2022

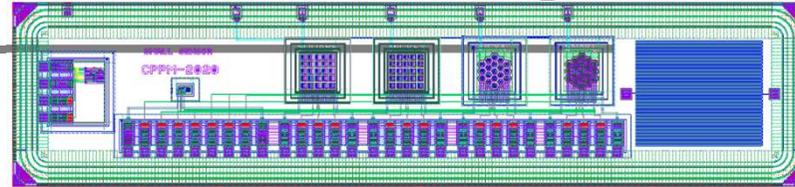
IV curve, LF-Monopix1 vs LF-Monopix2, unirradiated 725um thick



Measurements at Room Temperature in a laboratory desk

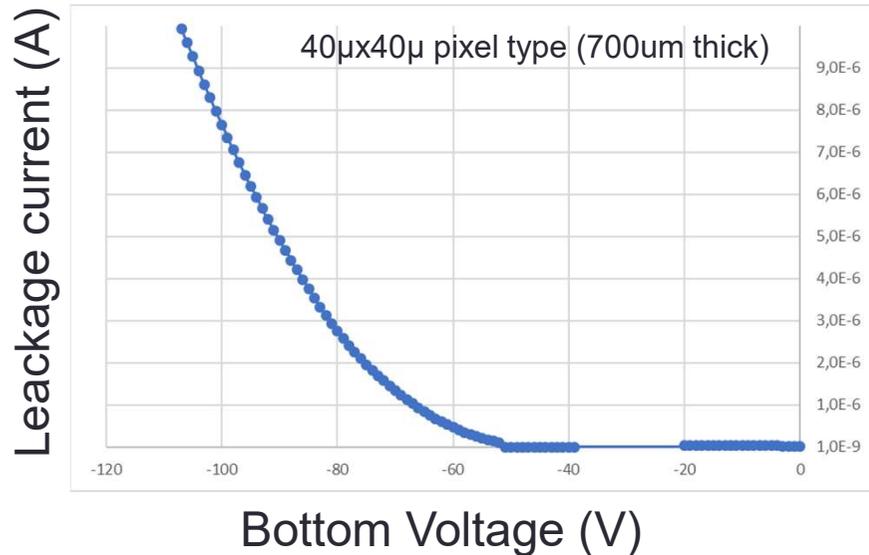
Dispersion du seuil pour un type de pixel



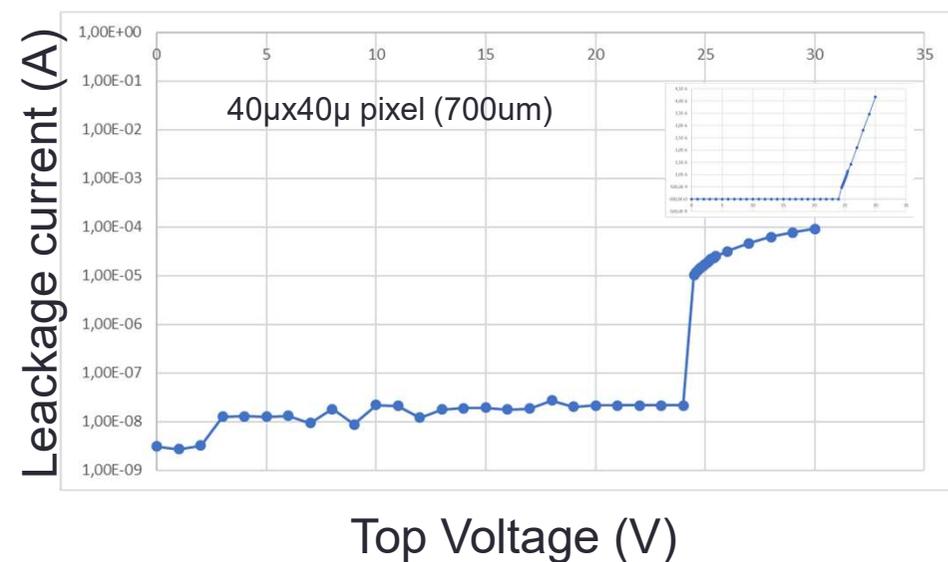


Circuit LF-MONOPIX2 (Bonn, CPPM, IRFU)

- + **Test Structures** : Petit circuit contenant différentes structures à tester, valider
- **Petits pixels (50 μ x 50 μ)** : les 1^{er} résultats montrent que des **petits pixels peuvent être déplétés jusqu'à ~80V**. Les tests continuent
- **Bandgap** conçu par Maria Ramirez : erreur de fabrication. Doit être **resoumis à travers RD50-MPW3** (test en 2022)
- Les circuits a anneaux de gardes **3GR ainsi que l'APD** : Réalisé par la visiteuse chinoise Zhao Mei : **en cours de test**



30nA/4px global leakage current for different diode (DNW) sizes, for a **top bias @24 V**
BV at 54V (2kohms substrate)



10nA/4px leakage current for different diode (DNW) sizes, for a bottom bias @0 V
BV at 24V (2kohms substrate)

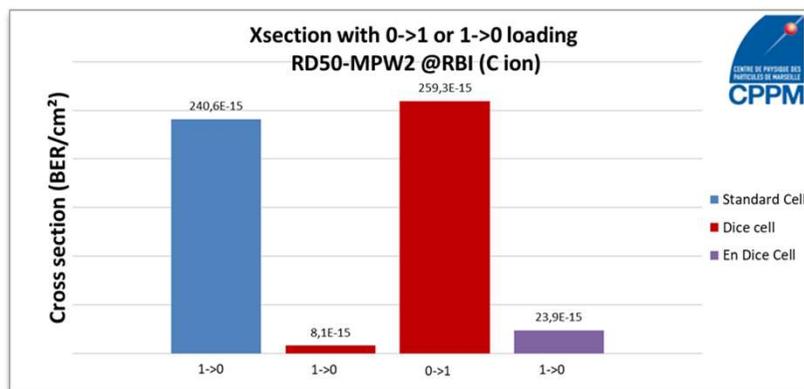
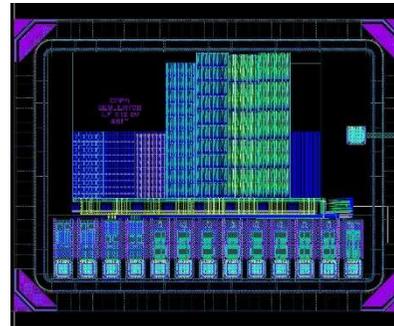
The total Voltage potential (top to bottom) at **78 V** is achieved

Circuit **RD50-MPW2** (RD50 collaboration)

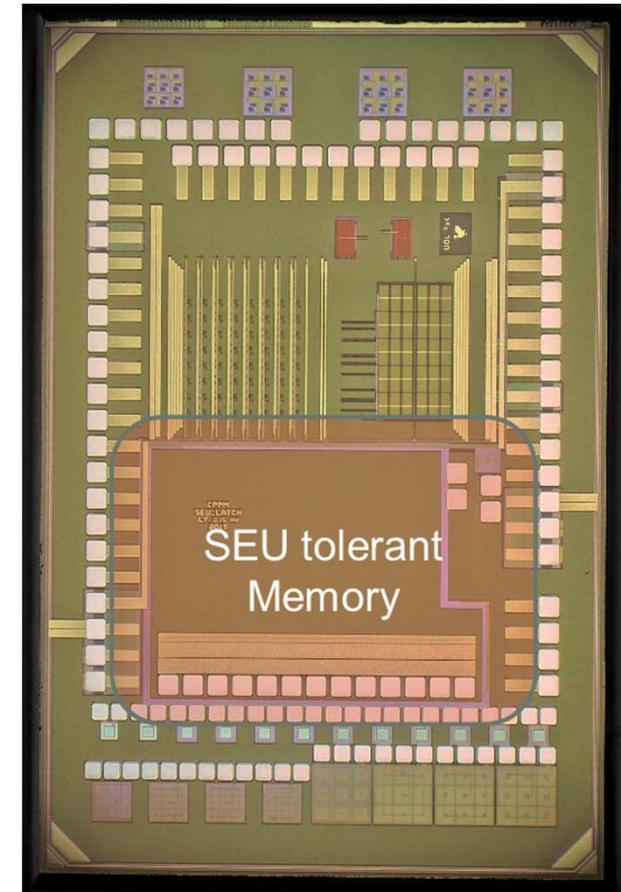
+ **Circuit a mémoire résistante au SEU**

testé à Ganil (France) et RBI (Croatie) en 2021! Les tout premiers résultats montrent que LF est une technologie robuste, et peut être plus robuste que TJ 180nm (NIEL, TID et SEU)

Cellules: SRAM (col8), split TRL + DICE cell (col7), split TRL + standard cell (col6), TRL + DICE cell (col5), TRL + standard cells (col4), enhanced DICE cell (col3), DICE cell (col2), standard cell Col1)



Etude de la sensibilité des mémoires suivant leurs architectures



Technologie TOWERJAZZ

180nm CIS

Circuit **TJ-MONOPIX2 (CERN, BONN, CPPM)**

Circuit développé et soumis en 2020. Retour 24 janvier 2021.

- Circuit de $2 \times 2 \text{cm}^2$ avec des pixels de $33 \mu\text{m} \times 33 \mu\text{m}$
- TJ-Monopix2 bénéficie d'une architecture digitale high rate (column drain / trigger / 40MHz clock)
- Cette deuxième version (TJ-MONOPIX2) qui devait réparer certains problèmes d'ajustement de seuil est toujours en cours de test
- Base pour l'upgrade de Belle-II

Utilisation d'un banc de test développé par Univ Bonn : Carte MIO3+GPAC ou BDAQ. Firmware développé par Bonn.

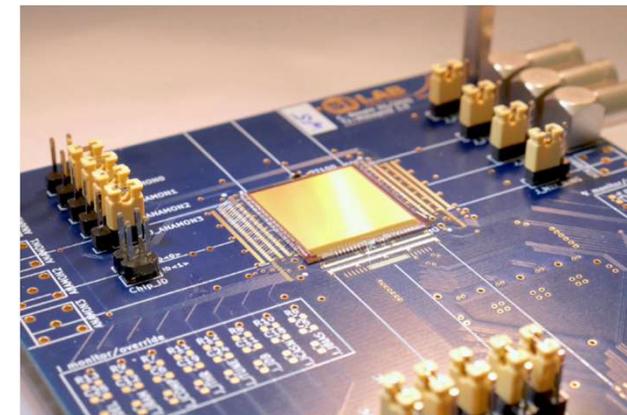
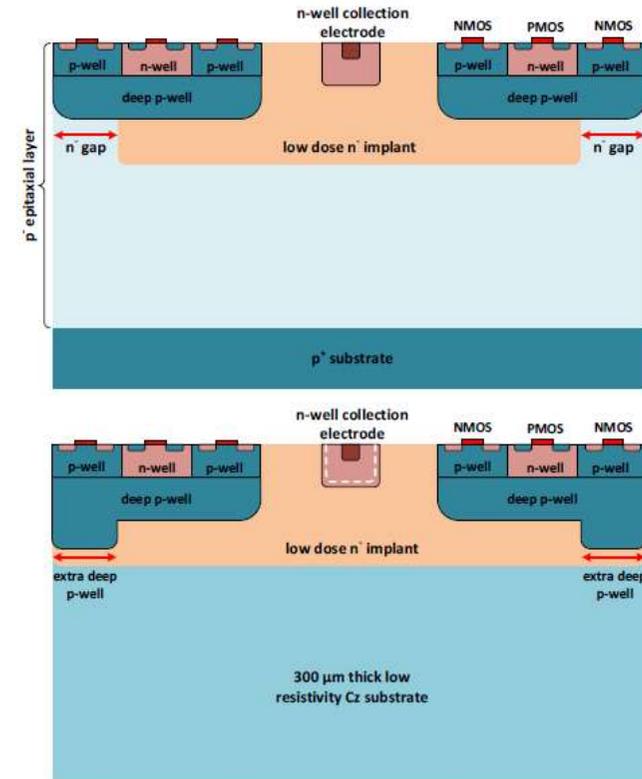
2021 est l'année de la caractérisation des circuits TJ-MONOPIX2

Le banc de test (firmware, software) n'est pas aussi avancé que celui de LF

En 2022

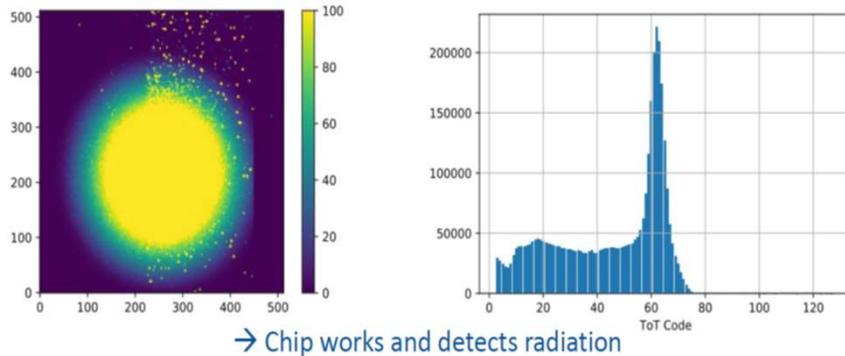
Développement du circuit prototype **OBELIX** à partir du circuit TJ-MONOPIX2. En cours: définition des spécifications / test de TJ-MONOPIX2

Beaucoup de choses restent à faire comme campagne d'irradiation et de caractérisation intensif

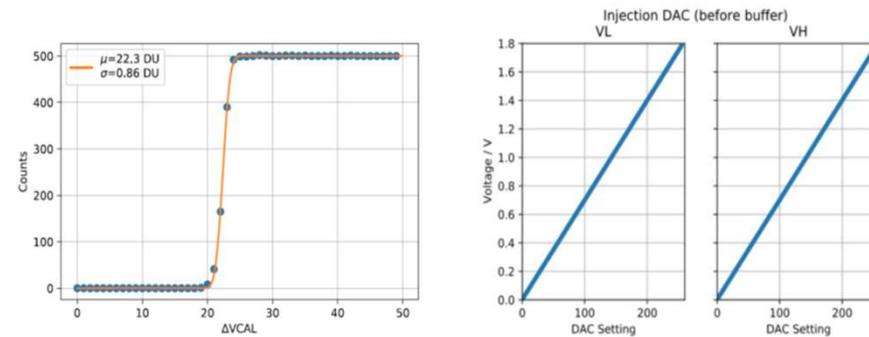


Résultats récents sur TJ-Monopix2

- Détection d'une source ^{55}Fe :

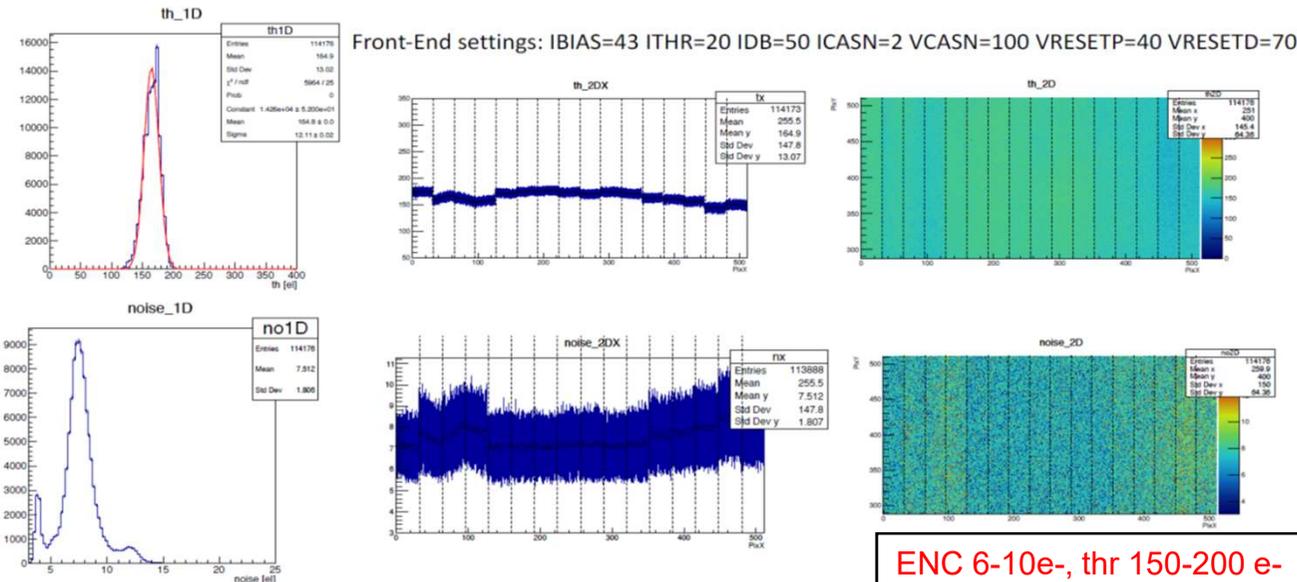


- Courbe en S & linéarité de DAC:



- Résultats TJ-Malta2 (FE identique!):

W5R10 EPI NGAP - Total scan of the matrix



TJ-Monopix2 pourrait être le précurseur du capteur OBELIX pour VTX Belle-II upgrade...

- **WP 1: Avancées 2021**
 - Etudes en **28 nm**: **Prise en main** du PDK
 - **Soumission fin 21**: **Matrice de transistor (TID), R-O (TID), Circuit test SEU, amplificateur** → Etudes focalisées **tenue aux radiations** technologie.
 - Passage à la vérification fonctionnelle en labo (**TRL₃→TRL₄**)
- **WP 2: Avancées 2021**
 - **Prise en main PDK** et **soumissions TJ65**: **R-O (TID), Matrices CE65**; en cours **démarrage des tests** (**TRL₃→TRL₄**)
 - **Test matrices représentatives LF/TJ-Monopix2 TJ180 et LF150**, discussions applicatives en environnement réel (**Belle Upg**)... (**TRL₄→TRL₅**)

	2020 (hors demande)	2021	2022	2023
WP 1: Technologies fines "high radiation / high hit rate" - CPPM	<u>Etudes préliminaires <40nm</u> (simulation de bases, tests TID...)	<u>Tests sous irradiation, identification des process</u> d'intérêt pour notre contexte (design de transistors unitaires, de premières structures SEU-hard, de premiers blocs analogiques pour tests sous irradiation)	Conception et <u>développement matrice typ 64x64 pixels 25x25 μm²</u> . Ce proto contiendra fonctions de base essentiellement analogique (ambition en terme de RH et budget selon ampleur de la collaboration mise en place)	<u>Hybridisation et test du proto, validation du process</u> dans puce complexe
WP 2: Technologie Depleted Monolithic Active Pixel Sensors – CPPM & IPHC	<u>Finalisation des démonstrateurs</u> (en technologie TJ180nm / LF150nm en collaboration avec nos partenaires historiques). Etude de l' <u>adaptabilité de cette techno dans le contexte Belle-II</u>	Tests sous <u>irradiation des démonstrateurs développés</u> . Potentielle réduction de taille des pixels. <u>Etude de process plus fin</u> (TJ65), simulation TCAD et MPW en technologie fine (appui de partenaires internationaux) + suivi projet Belle-II	Test sous <u>irradiation des premières structures en technologie fine</u> , développements de structure de bases pour future matrice. <u>Soumission de matrice</u> dont complexité liée à l'ampleur de collaboration mise en place + <u>Intégration VTX Belle-II</u> (visant ~ 2026)	<u>Test matrice en laboratoire et sous irradiation</u> . Validation du process pour futures applications. Démarrage <u>design circuit démonstrateur digital on top</u> . Suivant évolution du projet <u>Belle-II/III, mise en oeuvre de la solution arrêtée par la collaboration</u>

- **WP hybride:**

- **28 nm:** Finalisation prototype (transistors, R-O, cells SEU-hard, ampli) → soumission fin 2021 / tests fonctionnels / test irradiations / conception matrice pixels fin 2022.
- IN2P3 / AIDAInnova / RD53 (session 28nm le 29 sept)

- **WP DepCMOS:**

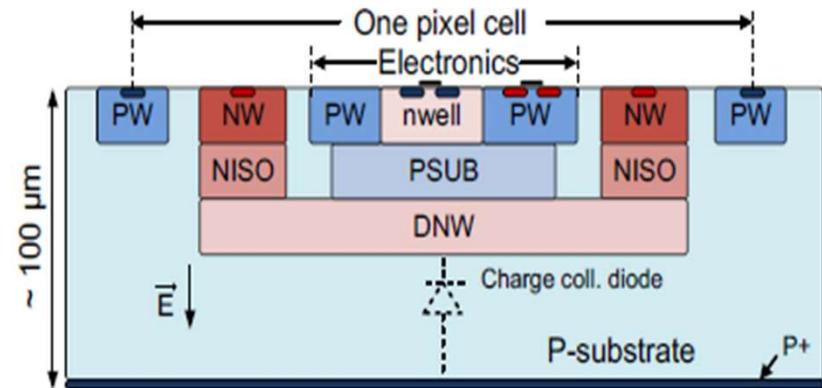
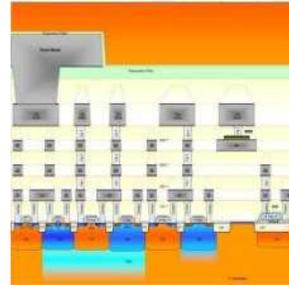
- **TJ65:**
 - 1^{er} tests de puces CE65 & RO incessamment / irradiations / conception CE65+
 - AIDAInnova/ CERN strategic R&D WP1.2 / Participation financière ER1 actée par DICE
- **LF 150:**
 - Finalisation tests LF-Monopix2 / petits pixels / RD50-MPW3 / projet matrice petits pixels
 - AIDAInnova / Cadre de RD50
- **TJ180:**
 - Tests fonctionnels TJ-Monopix2 / tests sous irrad / transition OBELIX pour environnement Belle-II Upgrade (v1 en 2022, spécifications 100 MHz/cm², ~50 MRad, ~3.10¹⁴ n_{eq}/cm²).
 - AIDAInnova / CERN strategic R&D WP1.2 / transition Belle II upgrade

BACKUP

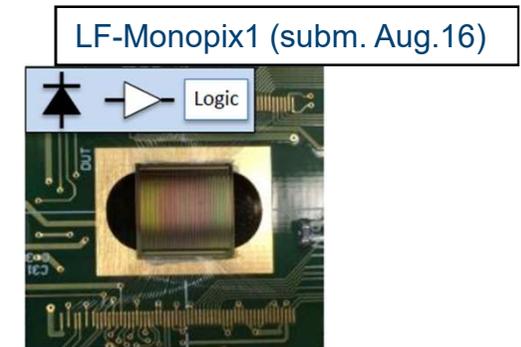
- BACKUP

- **Large collection diode :**

- LF 150 nm process
- Multiple nested wells
- 6 metal layers + thick top
- Substrate resistivity > 2kΩ.cm
- **Backside thinning** and processing



- Several prototypes:



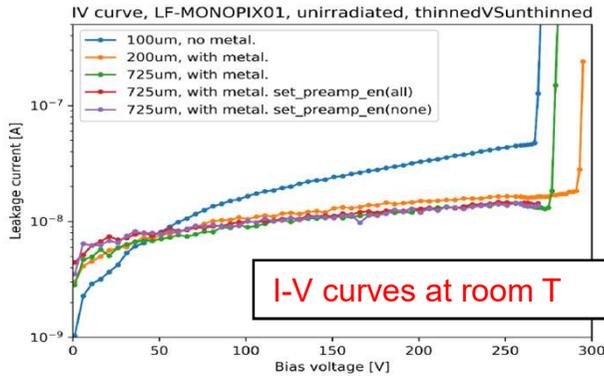
- Pixel size: 33×125 μm²
- Chip size: 5×5 mm²
- **Fast Readout with FE-I4**
- Thickness: 750/300/100 μm

- Pixel size: 50×250 μm²
- Chip size: 10×10 mm²
- **Fast Readout with FE-I4**
- Thickness: 750/300/100 μm

- Pixel size: 50×250 μm²
- Chip size: 10×10 mm²
- **Monolithic: Includes Column Drain Readout.**
- Thickness: 750/300/100 μm

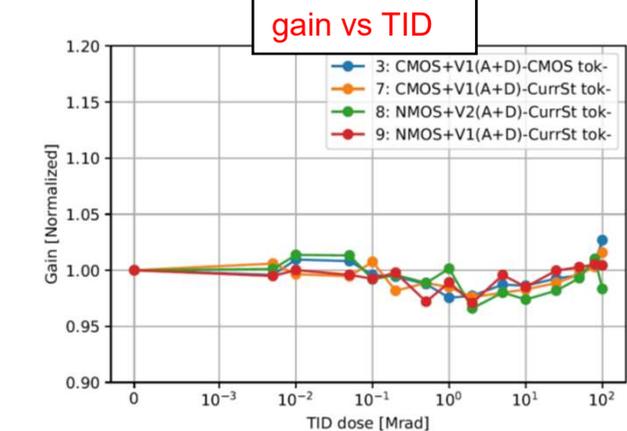
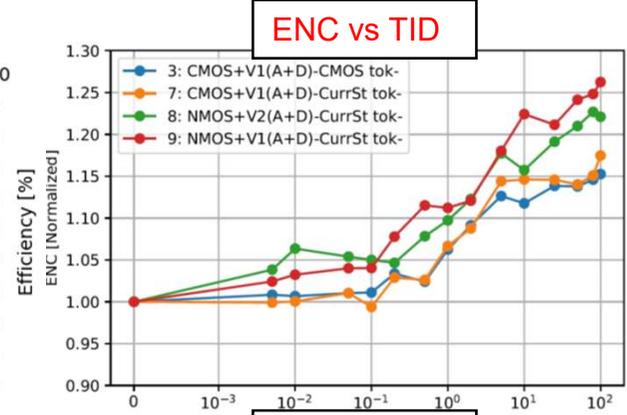
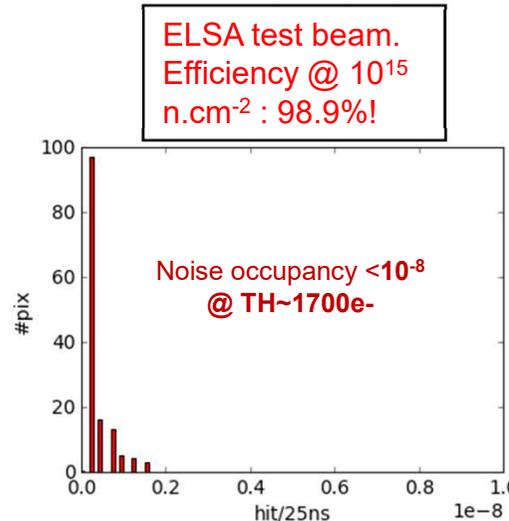
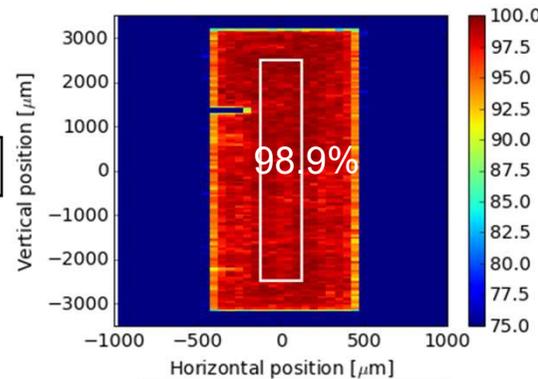
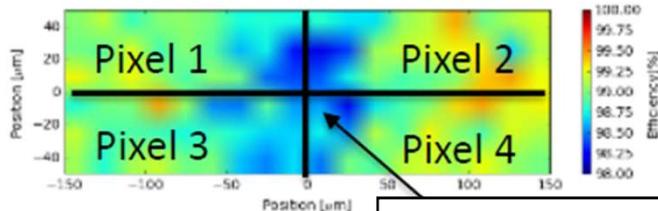
LF-Monopix1 performances

- High breakdown voltage >250 V
 - Improved wrt previous designs
- Moderate noise & gain degradation at 100 MRad:
 - 15-25% ENC \uparrow / < 5% gain \downarrow



J. Liu, et al, DOI: 10.1088/1748-0221/12/11/C11013
I. Caicedo et. al, DOI: 10.1088/1748-0221/14/06/C06006

- High & uniform efficiency after 10^{15} n.cm⁻²
 - Bias -130V, dry ice cooled
 - Thres. ~1700 e-
 - 0.2% masked pixels



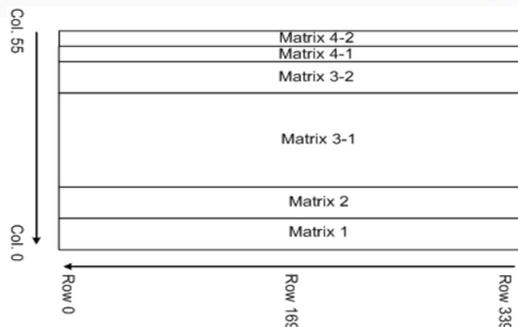
T. Hirano, et. al, DOI: 10.1016/j.nima.2018.10.059

OVERVIEW OF UNTUNED TH SCANS (HV=60V)

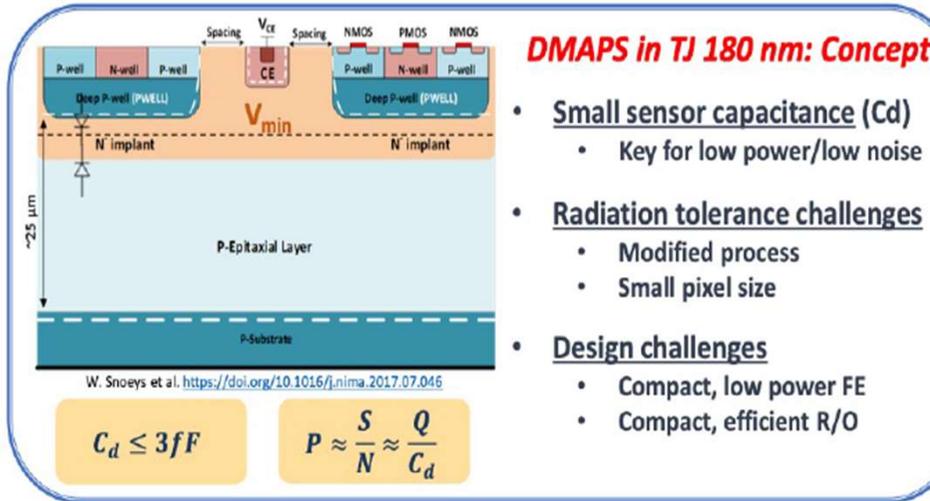
Flavour	CSA	Tuning	Cf (fF)	TDAC	TH mean (e-)	Unt. TH disp (e-)	ENC (e-)	ENC disp (e-)
LFM1-8	V1 (NMOS)	Unidir.	5	0	-	~900	~140	~20
M1-1*	V1	Bidir.	1.5	0	N.A.	N.A. // N.A.	N.A. // N.A.	N.A. // N.A.
M1-2*	V1	Bidir.	5	15	3916	868	152	22
M1-3*	V1	Unidir.	5	0	2890	658	112	18
M1-4*	V1	Unidir.	5	0	2873	677	113	19
M2*	V2	Bidir.	1.5	15	2935	446	141	20
M3*	V3	Bidir.	1.5	15	2415	392	158	22

* Calibrated assuming the same C_{inj} as LFM1 (2.76fF) in both cases. I still need to measure the C_{inj} of LFM2.

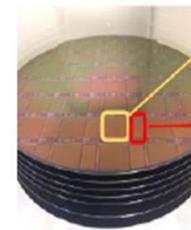
- Untuned TH dispersions in all LFM2 flavours are smaller than in LFM1. ENC's in 2 LFM2 flavours are also smaller.
 - Untuned TH dispersions in M2 and M3 are about 40% smaller than any M1.
 - Flavours with bidir. tuning seem ~20% noisier than those with unidir. tuning.
 - 85 pixels/column (every 4th). 1 column at the time.



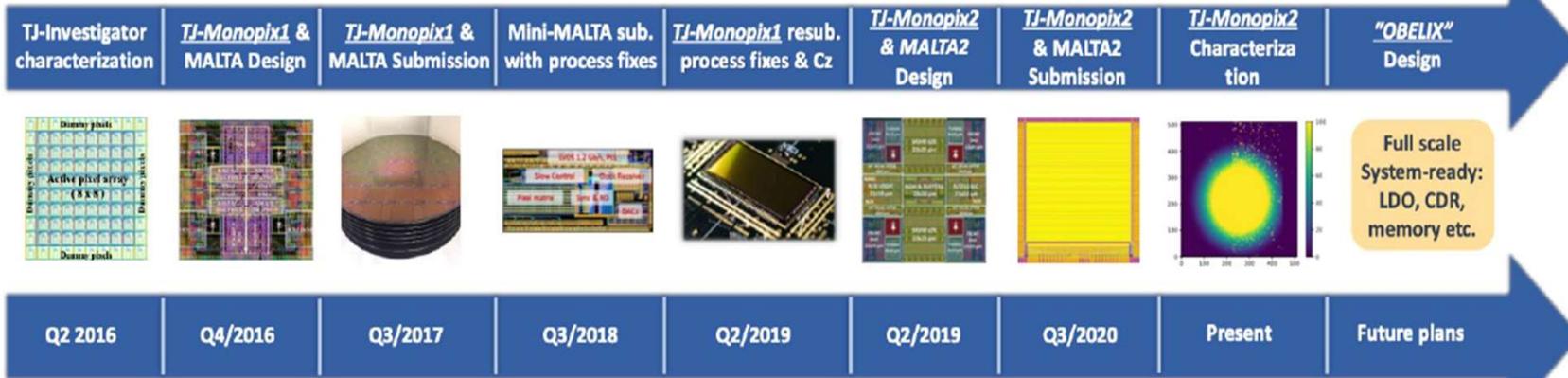
Sub-array	Column	CSA	Feedback cap.	Discriminator	Logic
1	0-7	V3	1.5 fF	bidirectional tuning	Falling
2	8-15	V2	1.5 fF	bidirectional tuning	Falling
3-1	16-39	V1	5 f	unidirectional tuning	Falling
3-2	40-47	V1	5 f	unidirectional tuning	Rising
4-1	48-51	V1	5 fF	bidirectional tuning	Falling
4-2	52-55	V1	1.5 fF	bidirectional tuning	Falling



Large scale demonstrator chip development



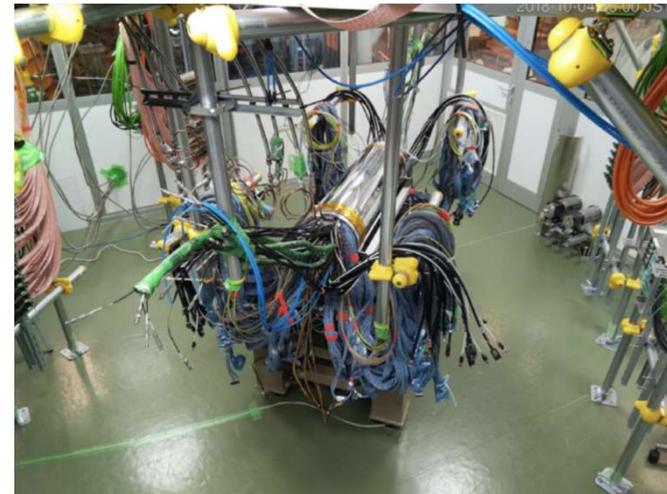
- MALTA
 - Asynchronous readout
 - TJ-Monopix1
 - Synchronous column-drain R/O
- ↓
- Process modification enhancements, Cz substrate ⇒ improved efficiency
- ↓
- TJ-Monopix2: Improved full-scale DMAPS



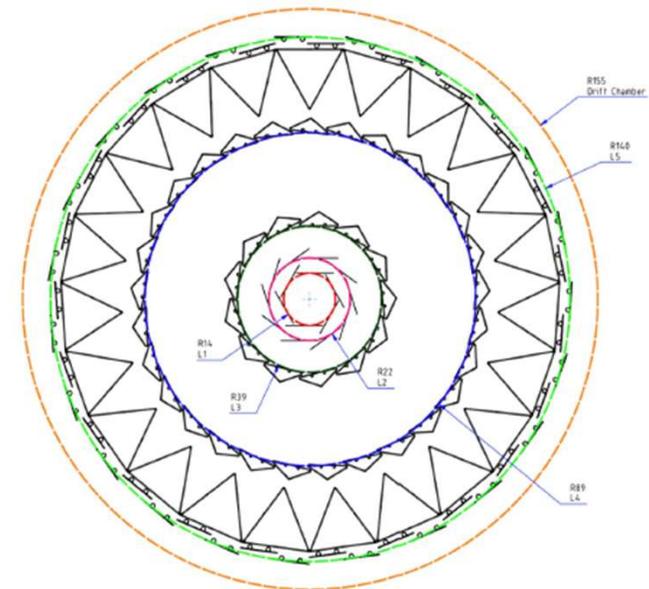
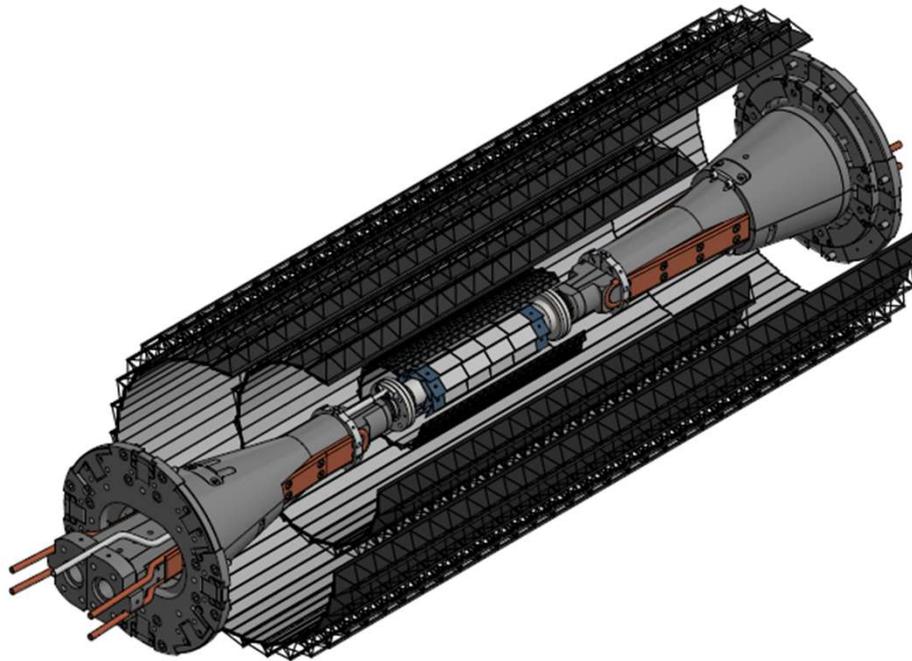
Designer meetings already ongoing

VTX upgrade

- **Remove whole VXD** for a detector entirely based on monolithic active pixel technology up to Belle's CDC detector.
 - Electronics directly integrated with sensor
 - Copes with radiation environment
 - Thin detector, reduced power needs, supports and ultra-light services
 - (“ALARA” material!) **Light concept**
- To be efficient (**tight schedule**):
 - Uses **present VXD configuration**: Compatibility with DAQ, compatibility with detectors boundaries.
 - Uses **a sensor in an advanced state of development**.

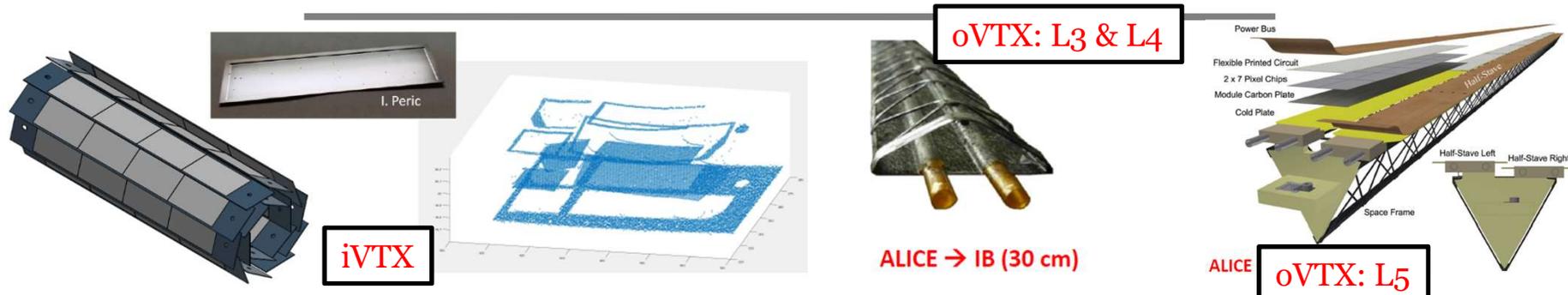


- 5 straight layers using monolithic active pixel sensors.
- Keeps as **much** as possible the current machine-detector boundaries.



- VTX in numbers:
 - surface $\sim 1\text{m}^2$.
 - # of Ladders 70-130 (includes 10% spares).
 - # of Sensors 2200-4500 (includes 50% yield).

VTX



- **Low material:** $\sim 50 \mu\text{m}$ thin sensors, $0.1\text{-}0.2\%$ X_0 L1/L2, 0.3% X_0 L3, 0.8% X_0 L4/L5
- Moderate pixel pitch $\sim 40 \mu\text{m}^2$. Size? $1.4 \times 3 \text{ cm}^2$...
- Fast integration time $O(25\text{-}100\text{ns}) \rightarrow$ Low occupancy
- Same FE but diff. mechanical integration: Separation **iVTX** (L1/2) & **oVTX** (L3/4/5).
- **“Operational” improvements** due to VTX upgrade:
 - No CO₂ cooling \rightarrow less services, easier integration, better shielding (reduces bkg in CDC and TOP)
 - No special operation mode for VTX (no gated mode, no RoI selection, no data reduction).
 - Direct connection to HLT, same DAQ with VXD...
 - Improves tracking

ITk Lay 4 vs. Belle VXD

- From point of view of several specifications, similarities between ATLAS ITk layer 4 / Belle PXD layer 1.

	ALICE	HL-ATLAS	ALICE	Belle2	ILC	FCce
	ITS2	ITK - lay4	ITS3	PXD1-Lnomi	VTX	VTX
Resol. Spatiale [μm]	~5	~10	~5	<10	<3	<5
Budget Matiere [%X0]	0.35	<1	0.05	0.15	0.15	0.15
Hit Rate [MHz/cm^2]	~1	~200	~2	100	20	~20
Temps typique [ns]	$5 \cdot 10^3$	25	$2 \cdot 10^3$	~100	$10^2 - 10^4$	$10^2 - 10^3$
Rad Harness [Mrad]	30	100	60	~<50	10	20
Rad Harness [$n_{\text{eq}}/\text{cm}^2$]	$2 \cdot 10^{13}$	$2 \cdot 10^{15}$	$4 \cdot 10^{13}$	~< $3 \cdot 10^{14}$	< 10^{12}	$5 \cdot 10^{11}$

- Note NIEL and TID estimates for Belle2 are here given for 5 years in nominal lumi conditions with factor 5 safety factor (NB: beam loss events, background modelling, ...)

- DepCMOS designs (from approx 2014 on):
 - Initially large consortium.
 - Designing teams got focused these last 3 years to get large prototypes out:
 - Bonn/CERN/CPPM/IRFU-CEA
 - LF 150nm series
 - TJ 180nm series
 - KIT/Heidelberg/Geneva (small implication CPPM):
 - AMS/TSI
- DepCMOS sensors for Belle upgrade: **Obelix**
 - IPHC in, experts in MAPS, connection to TJ 180nm.
 - Discussions between CPPM/IPHC/Ubonn designers → preliminary work plan
 - VTX regular meetings: Austria/France/Germany/Italy/Spain
- French effort on Belle II upgrade:
 - IJClab / CPPM / IPHC

(Optimistic) schedule for sensor

TJ-Monopix2 → OBELIX

- 2021: Initial steps
 - Build on TJ-Monopix2 developments → Characterize TJ-Monopix2
 - Inventory of missing blocks → Build designers' collaboration
- 2022: Core development
 - Optimize for Belle, design missing blocks, refine working blocks where need is
 - Digital integration (done by Bonn) + simulation, verification, etc...
 - Deliverable: 1st full-scale sensor OBELIX
- 2023-2024: Finalize
 - Test OBELIX-1
 - OBELIX-2 submission
 - Validation tests
- 2024-2025: Production
 - Ladder production
 - Assembly
- 2026-2027: Ready to install

In parallel:

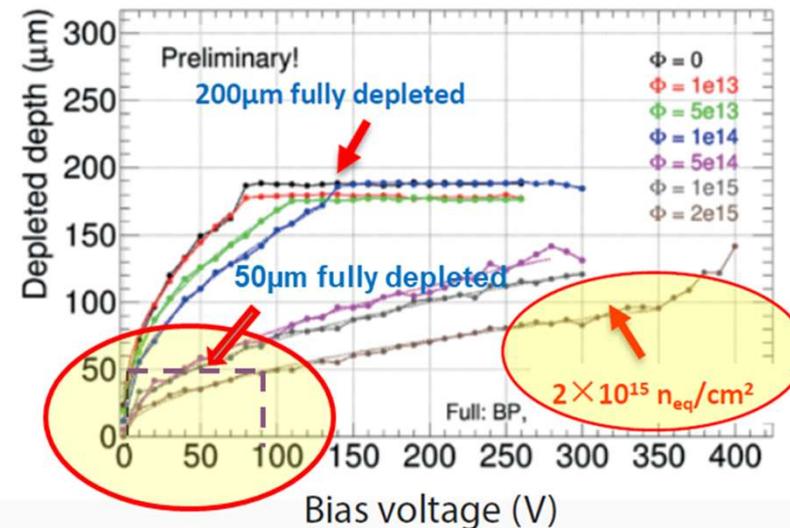
- Module concept
- Detector design
- Work on production aspects
- Work on DAQ aspects

New Rad-Hard Small pixel approach

- Let think to reach a pixel size of $50\mu\text{m} \times 50\mu\text{m} \times 50\mu\text{m}$
 - $50\mu \times 50\mu$ square and 50μ depth
 - From $\sim 10\text{V}$ (no Irrad) to 90V (2×10^{15} neq/cm²)
 - With Backside Metallization
 - Less restrictive guardings
 - Uniform drift field

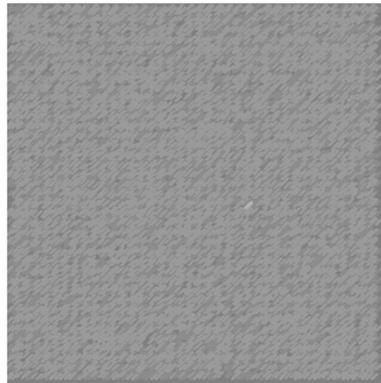


D= distance (very important parameter)

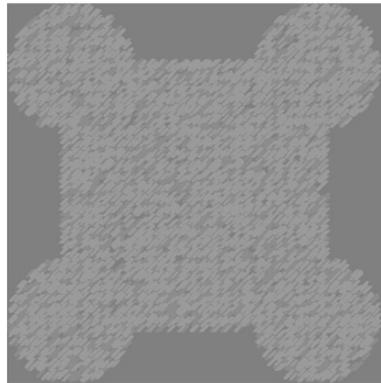


I.Mandić, et al., DOI: 10.1016/j.nima.2018.06.062

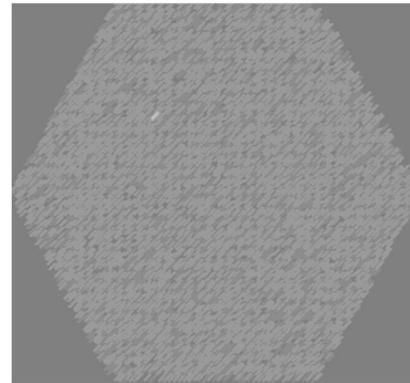
Small sensor diodes flavors



Square



Mickey



Hexa

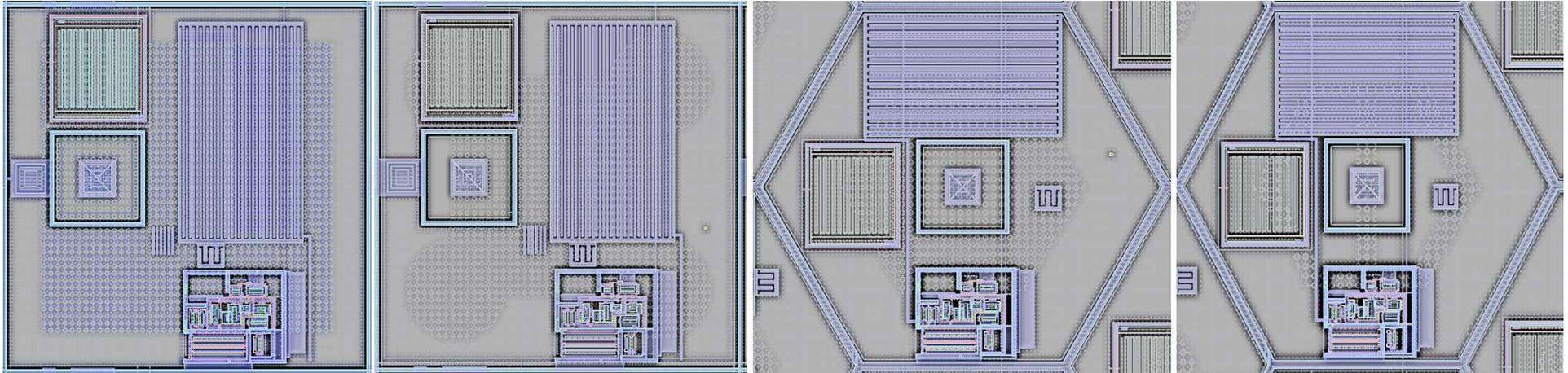


Hollow Hexa

DNW structure	Capacitance [fF]	Breakdown voltage [V] (Back Bias)
Square 40 x 40	126	-100
Mickey 30 x 30	107	-70
Hexagone 30	77	-66
Hollow Hexa 30	55	-66

From TCAD simulation

Small pixels flavors front-end

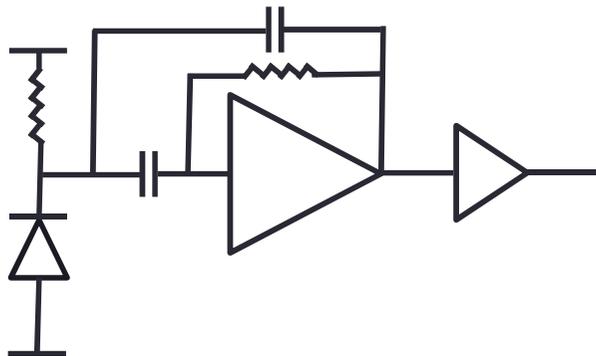


Square

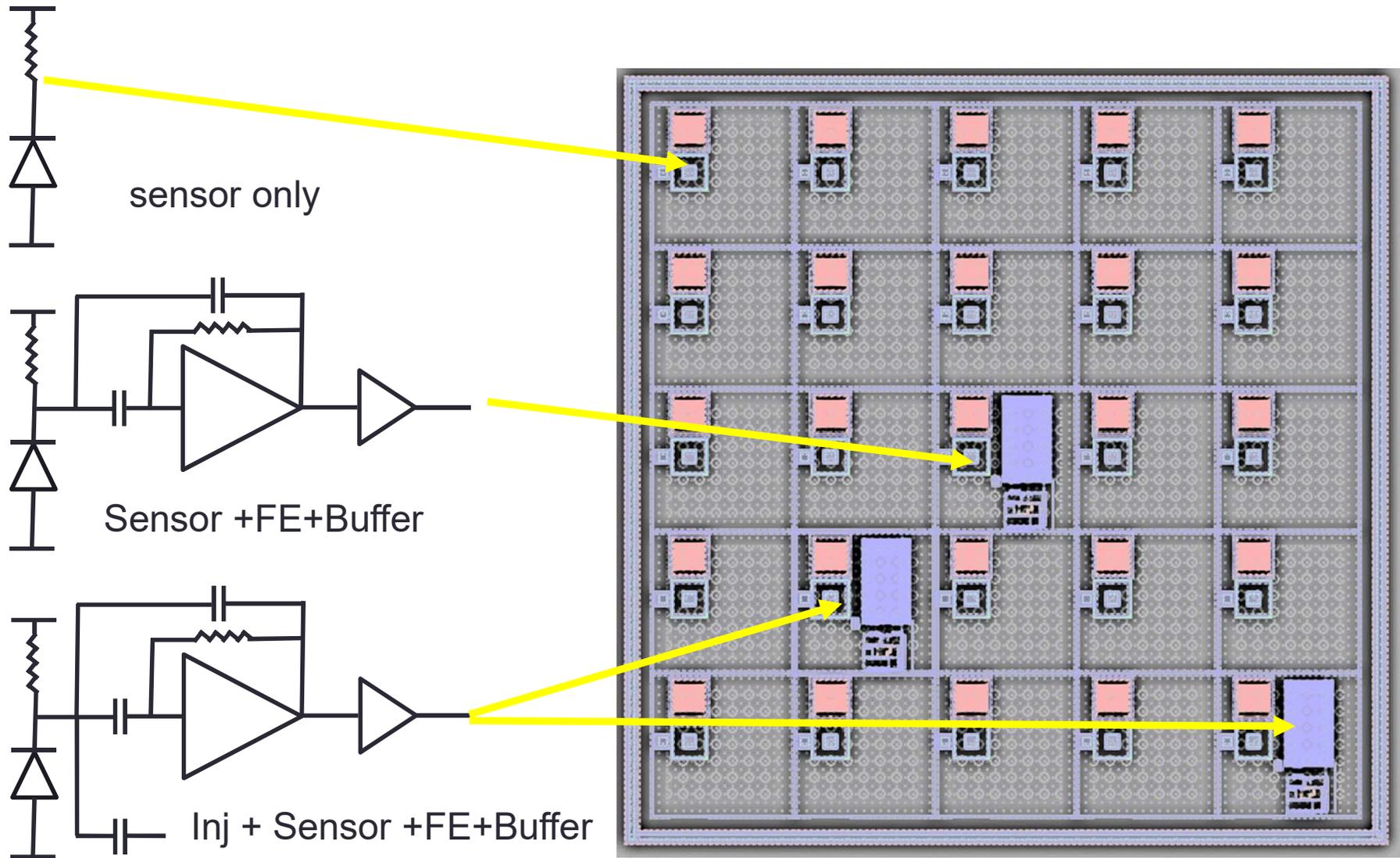
Mickey

Hexa

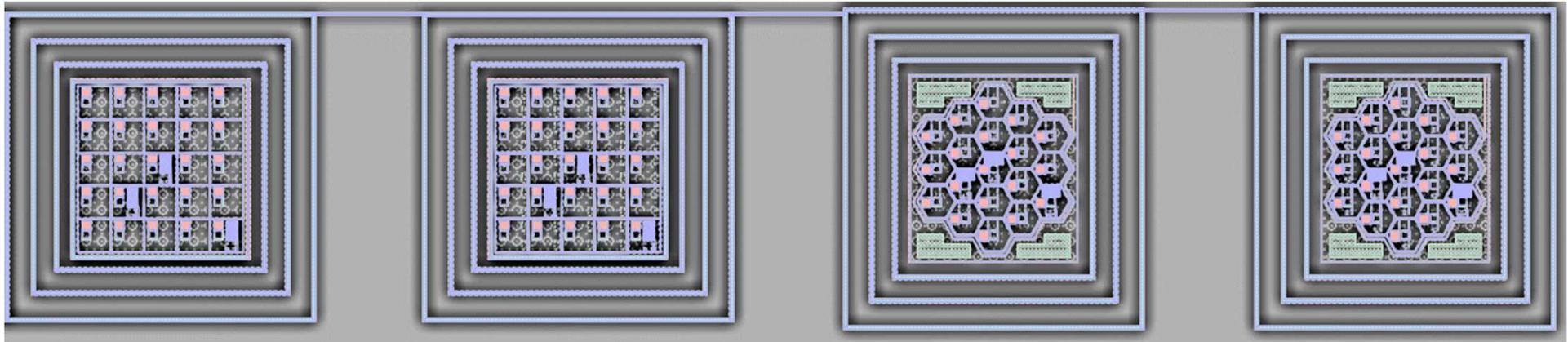
Hollow Hexa



Small pixels matrix (25 "square" pixels)



Small pixels test chip



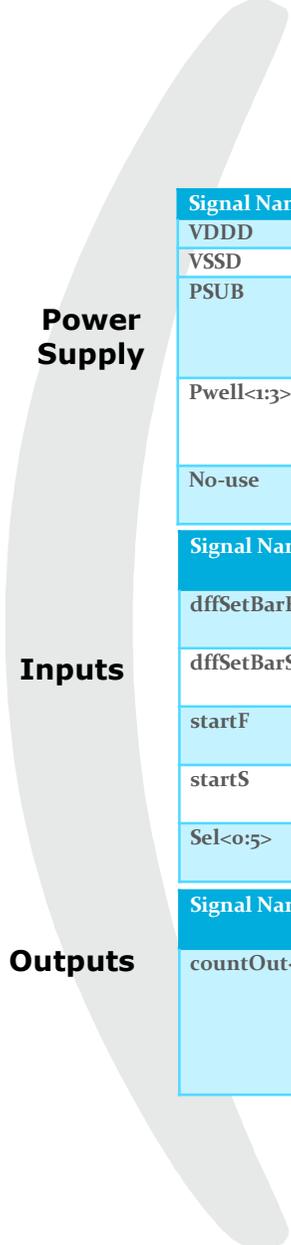
25 « Square » pixels

25 « Mickey » pixels

19 « Hexa » pixels

19 « Hollow Hexa »
pixels

- This test chip is a part of the LF-MONOPIX2.
- The tape-out was in may 2020.
- Delivering chip : end of 2020 (wafer thickness 700 μ m, 200 μ m, 100 μ m, 75 μ m)
- Test features to do (with and without radiations)
 - E-TCT
 - Analog readout of the pixels



Power Supply

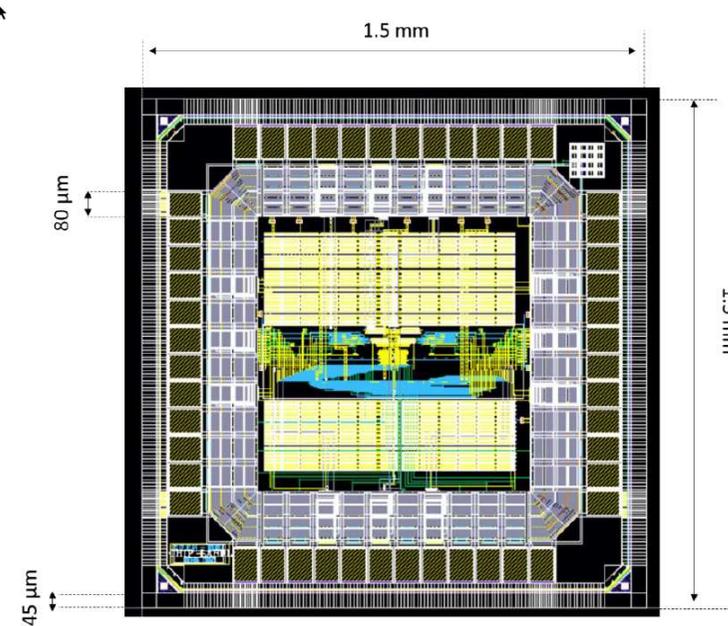
Signal Name	Nominal Value	Comments
VDDD	1.2 V	Main power supply
VSSD	0 V	Common ground
PSUB	0V if P-substrate (default) and 1.2V if N_substrate	Seal Ring substrate contact
Pwell<1:3>	0 V	Pads for the CERN's pixels. Not used, and are internally connected to VSSD
No-use	0V	Not used and are internally connected to VSSD

Inputs

Signal Name	Nominal Value	Comments
dffSetBarF	1.2V	When low, it sets the DFF ring oscillator in the 'F' group
dffSetBarS	1.2V	When low, it sets the DFF ring oscillator in the 'S' group
startF	0V	When high, starts oscillations in the 'F' group
startS	0V	When high, starts oscillations in the 'S' group
Sel<0:5>	0V	Selects which ring oscillator to connect to the output counter via the multiplexer

Outputs

Signal Name	Nominal Value	Comments
countOut<0:11>	0V	The output of the internal 12-bit counter. It could be read as the number of counts per a period of time (DC output), or select a bit as a frequency divider for real time monitoring



A detailed documentation is ready and can be shared upon request.