



Le projet DAQGEN

J.P. Cachemiche (CPPM)
O. Bourrion (LPSC), D. Charlet (IJCLab), F. Druillole (CENBG), D. Etasse
(LPC Caen), D. Tourres (LPSC)

Motivations (1)

Continuité par rapport aux actions du réseau DAQ

Travail d'élagage du standard xTCA afin d'augmenter l'interopérabilité des développements

- Solution commune hardware et firmware pour la surveillance en temps réel de l'état du système : **IPMI**
- Slow control commun : **lpbus**
- Mode de distribution temporel commun : **WR**
- Mode de concentration des données commun : **PCle**
- Ou éventuellement **Ethernet 40 ou 100G** à la demande du réseau des informaticiens

DAQGEN

- Système commun intégrant l'ensemble de ces concepts

Motivations (2)

Permettre aux nouveaux groupes souhaitant développer dans ce standard d'accélérer la prise en main

- Hardware, firmware, software librement accessible

Servir de plate-forme de développement rapide

- Écosystème de développement

Points clés du développement

- **Système d'acquisition complet**
- **Universalité** : Intel/Xilinx
 - Pas d'exclusion d'une partie de la communauté
- **Compatible avec les standards** (xTCA for Physics)
- **Flexibilité**
 - Utilisation de cartes filles du commerce pour customizer
- **Modularité**
 - Possibilité de construire un DAQ de complexité moyenne par ajustement du nombre de carte
- Doit adresser **tous les points de la chaîne d'acquisition**,
 - Interface front-end
 - Distribution temporelle
 - Concentration et acquisition jusqu'au PC
 - Slow control
- **Bas coût**

Organisation du développement

Responsabilités

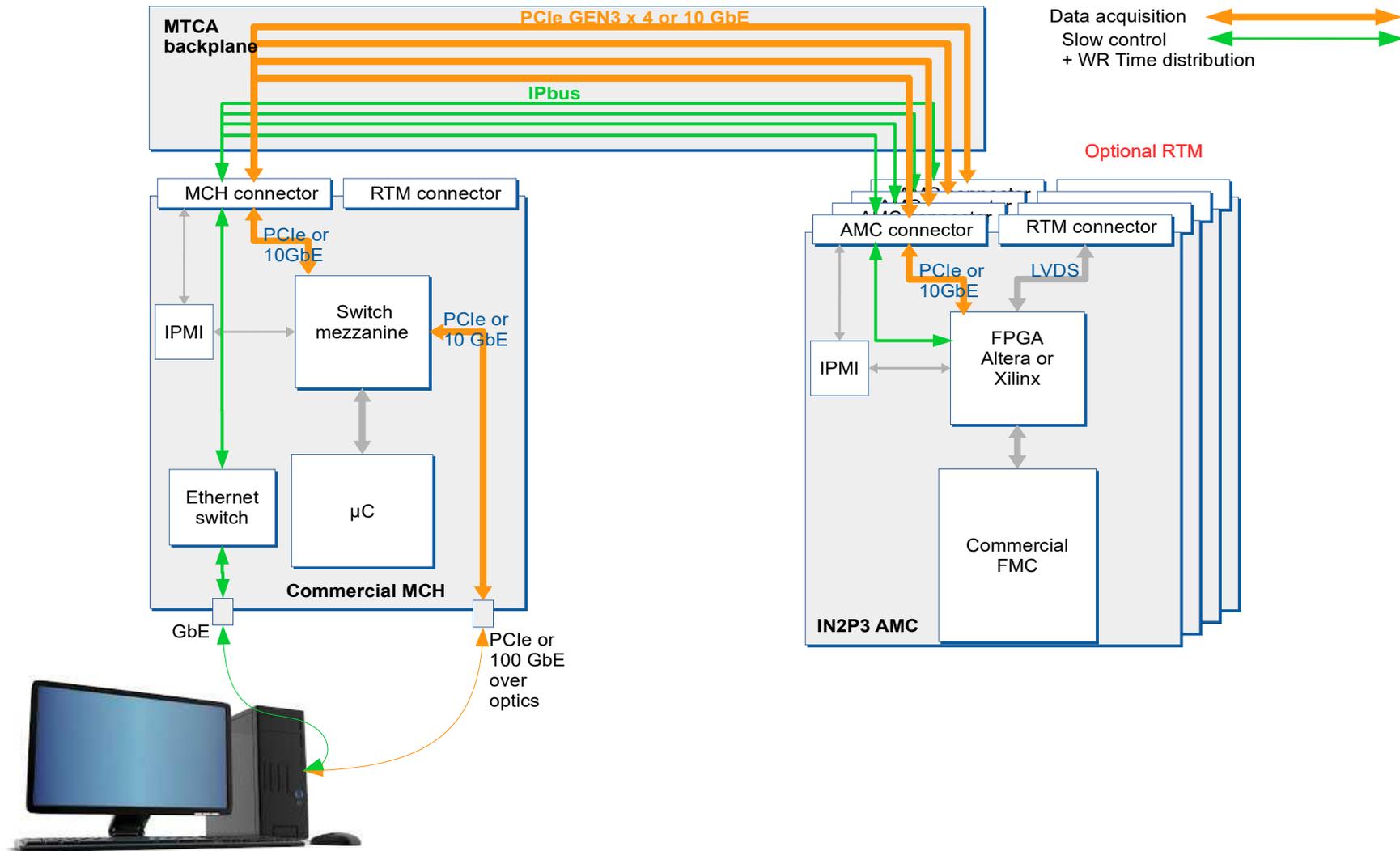
Tâche	Laboratoire	Contact
Spécification du système	CPPM	Jean-Pierre Cachemiche
Maîtrise d'oeuvre	LAL	Daniel Charlet
Conception carte AMC Intel	LAL	Daniel Charlet
Conception carte AMC Xilinx	LPSC	Olivier Bourrion
Conception carte 10 GbE	LPC Caen	David Etasse
Conception hub WR	LPSC	Olivier Bourrion
Intégration et tests	LAL	Daniel Charlet
Software IPMI	LPSC	Olivier Bourrion
Software Slow Control Ipbus	LPSC	Damien Tourrès
Firmwares d'acquisition	CENBG	Fédéric Duillole

- Routage des cartes fait par le laboratoire qui en est responsable

Utilisation de Gitlab pour specs, schématique, nomenclatures, logiciels, Firmwares, etc ...

Utilisation des bibliothèques communes de l'IN2P3

Architecture initiale du système



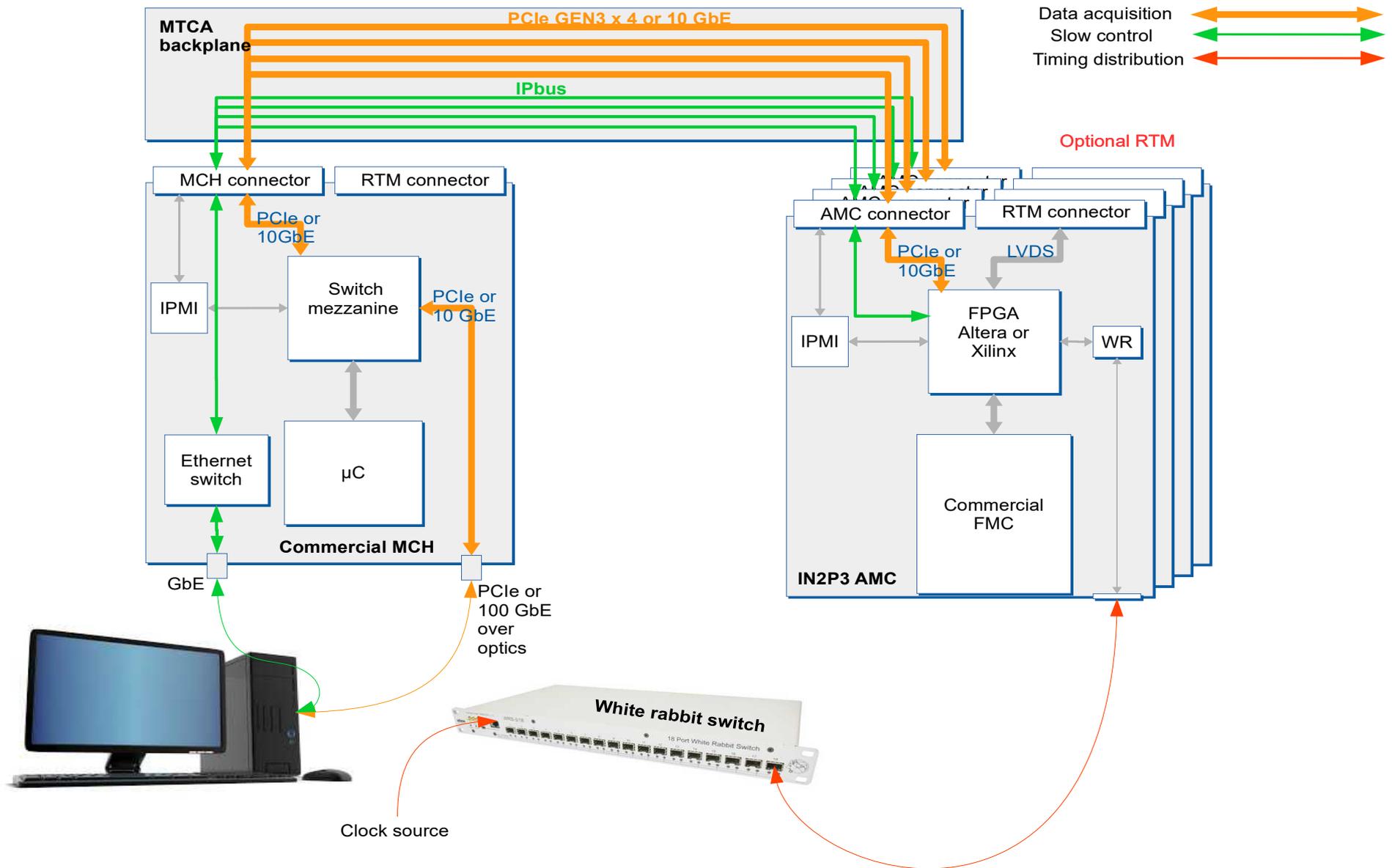
Difficultés rencontrées

Distribution temporelle

- Basée sur White Rabbit
- Facilement superposable sur IPbus, même si pas d'implémentation connue
- Mais besoin d'un hub WR
- Plusieurs solutions possibles :
 - Développement d'une carte hub WR sur slot MCH distribuant directement les clocks sur backplane
 - ➔ Peu précis – requiert une caractérisation de chaque backplane
 - Développement d'une carte hub WR sur slot MCH et propageant WR jusqu'aux cartes AMC
 - ➔ Développements faits au CERN difficilement récupérables - peu documenté.
 - WR inclus sur carte MCH du commerce
 - ➔ Aucun fabricant trouvé – NAT intéressé **mais** a abandonné pour les raisons citées plus haut.
 - Hub WR externe de Seven solutions
 - ➔ **Solution actuelle**
 - ➔ En fait carte AMC encapsulée



Architecture modifiée



Réorientation développement

Hub 100G Ethernet

- Pré-étude commencée mais ...
- Annonce d'une carte NAT avec 12 interfaces 10 GbE sur backplane et une interface 100GbE
 - **Développement arrêté**
- Développement d'une carte basée sur un MPPA Kalray annoncé par LPC Caen
 - **Conception et financement en dehors de DAQGEN**
 - Mais compatibilité fonctionnelle avec DAQGEN
 - Peut interfacer un bus 40 GbE tout en effectuant des pré-traitements parallèles massifs .

Développement d'une carte ADC

- Format FMC, connectable sur IDROGEN
- 10 Giga Samples par seconde
- Dynamique = 14 bits

Status

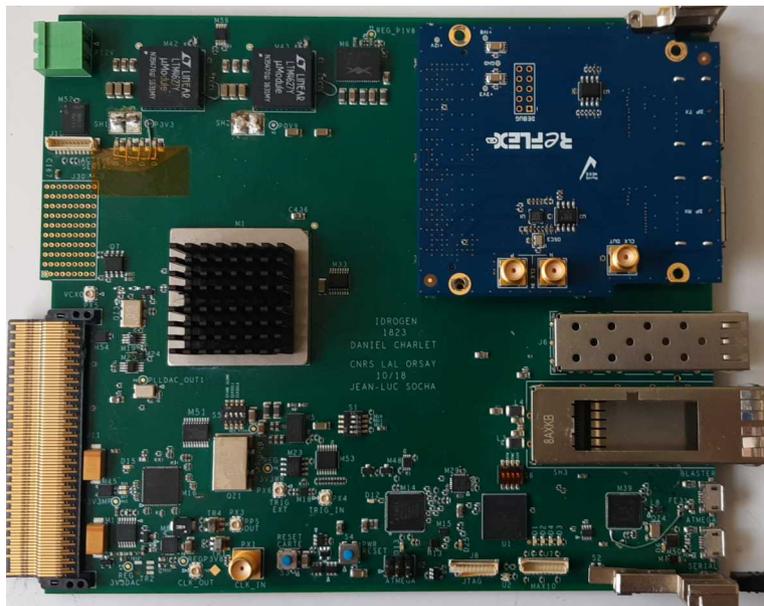
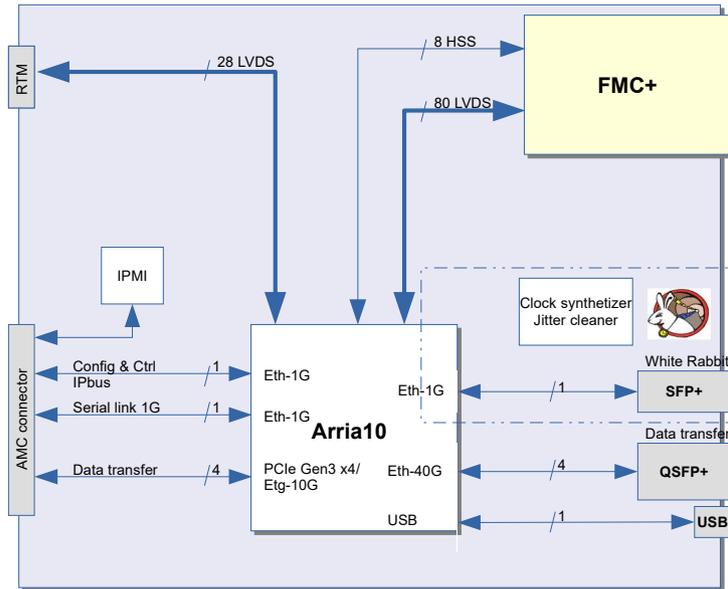
Cartes d'acquisition

- IDROGEN (Intel Data Read Out for DAQGen)
 - En production (Contact Daniel Charlet)
- OXIGEN (read Out Xilinx for DAQGen)
 - En cours (Contact Olivier Bourrion)
- Carte d'acquisition ADC
 - En production (Contact Daniel Charlet)

Software

- Slow Control IP bus
 - Disponible (Contact Olivier Bourrion)
- Supervision de l'état du système via IPMI (couches basses)
 - Disponible (Contact Damien Tourrès)
- Slow control IPMI (couche graphique)
 - Disponible (Contact Chafik Chekali / Daniel Charlet)
- PCIe avec DMA
 - Disponible (Contact Monique Taubira / Daniel Charlet)

Carte IDROGEN



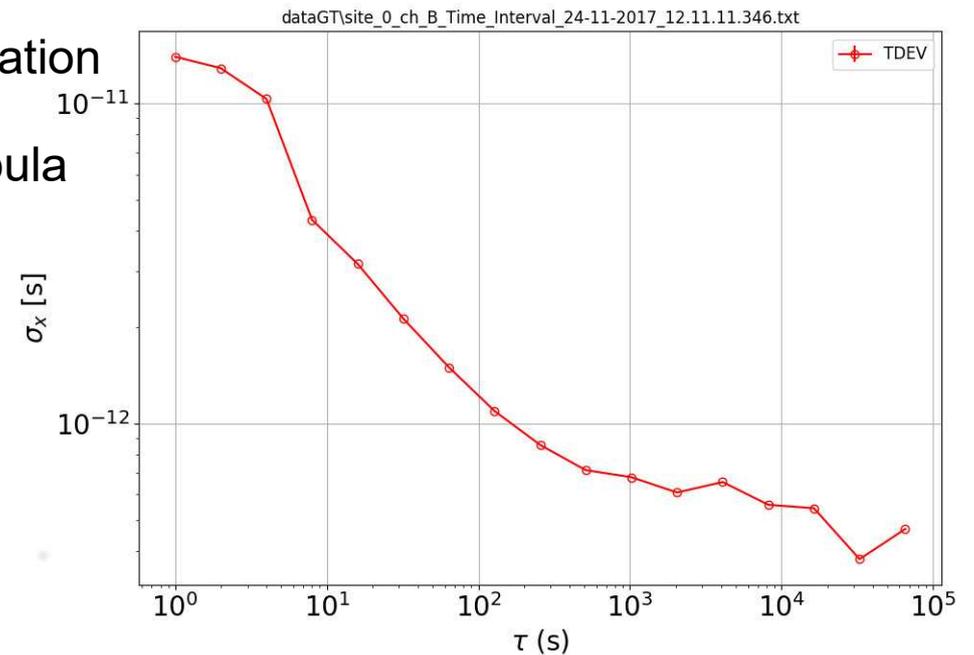
Principales caractéristiques

- Format carte :
 - MTCA 4.0 standard, Double-width, full size AMC.
- Low cost FPGA
 - Arria10 10GX027H4F34 (270 KLE)
- Connectivité avec front-ends
 - Interface customisable VITA57.1 (FMC) slot (80 LVDS + 8 liens sériels)
 - RTM connector :28 LVDS
- Connectivité avec CPU
 - 1GbE Ipbus pour slow control,
 - PCIe Gen3 x4 pour readout,
 - IPMI, CLK & trigger lane.
- Connectivité face avant :
 - SFP+ pour White Rabbit
 - QSFP+ 40G, USB pour fonctionnement stand alone

Performances

Mesures temporelles

- Mesures effectuées en collaboration avec le laboratoire SYRTE (Obs Paris INSU) sur carte Nebula
- **400 fs** au bout de 10000 s and 1 km fibre
- Même principe implémenté sur IDROGEN et OXYGEN



Projet open source

Documentations accessible sous Atrium

- Open source pour les labos IN2P3
 - Schémas
 - Firmwares
 - Softwares
- Tous les composants basés sur bibliothèque IN2P3

- Documentations :
<https://atrium.in2p3.fr/0aef2c34-81d4-4547-b233-efb57d901b72>
- Git :
<https://gitlab.in2p3.fr/DAQGEN>



Conclusion

Objectif du projet globalement atteint

- Même si la structure finale diffère un peu des objectifs initiaux
- Fourniture un écosystème d'acquisition opérationnel

Carte IDROGEN disponible fin 2021, OXYGEN courant 2022

5 projets sont actuellement demandeurs de cette carte

- 17 cartes IDROGEN en fabrication
 - 5 cartes pour le projet d'astronomie PAON4 ;
 - 2 cartes pour le laboratoire SYRTE pour des distributions temporelles précises ;
 - 2 cartes pour le projet PICMIC ;
 - 2 cartes pour qualifier les développements de cartes FMC pour l'IPHC ;
 - 2 cartes pour l'IPNO afin de remplacer les cartes COMET
 - 4 cartes pour les membres du projet

Discussions avec le CERN pour tester la future distribution du temps dans le LHC