

GAseous detector **R**eadout **E**lectronics with advanced **T**echnology of **S**ynchronisation



Responsable Scientifique : Druillolle Frédéric
Responsable Technique : Cedric Huss

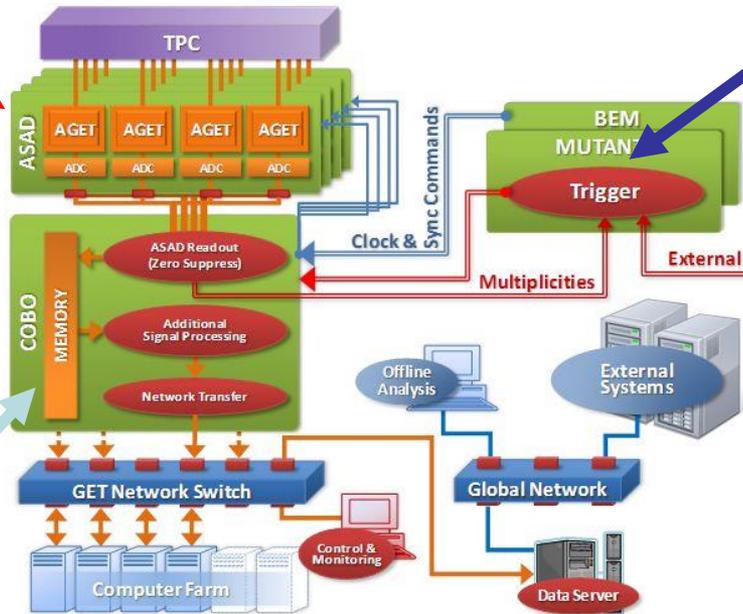
- **POURQUOI GARETS**
- **PRESENTATION GLOBALE**
- **PLAN DE MANAGEMENT & TRL**
- **TECHNOLOGIE**
- **ANALYSE DE RISQUES**
- **PHASAGE**

◆ GET & AsAd: historique



Irfu
cea
saclay

Architecture de GET



- Organisation:**
- Asic AGET: IRFU
 - Carte ASAd: CENBG
 - Carte COBO: NSCL
 - Carte MUTANT: GANIL
 - Carte BEM: GANIL



CoBo board – 1024 channels
(managing 4 AsAd boards)

« AsAd le module front-end de GET: »
Jérôme PIBERNAT _ Jeudi 24 _ 9h20

Le circuit AGET pour la lecture des TPCs

➔ ANR 2009-2013 ➔ Production depuis 2014

GET (ANR) 2009-2013

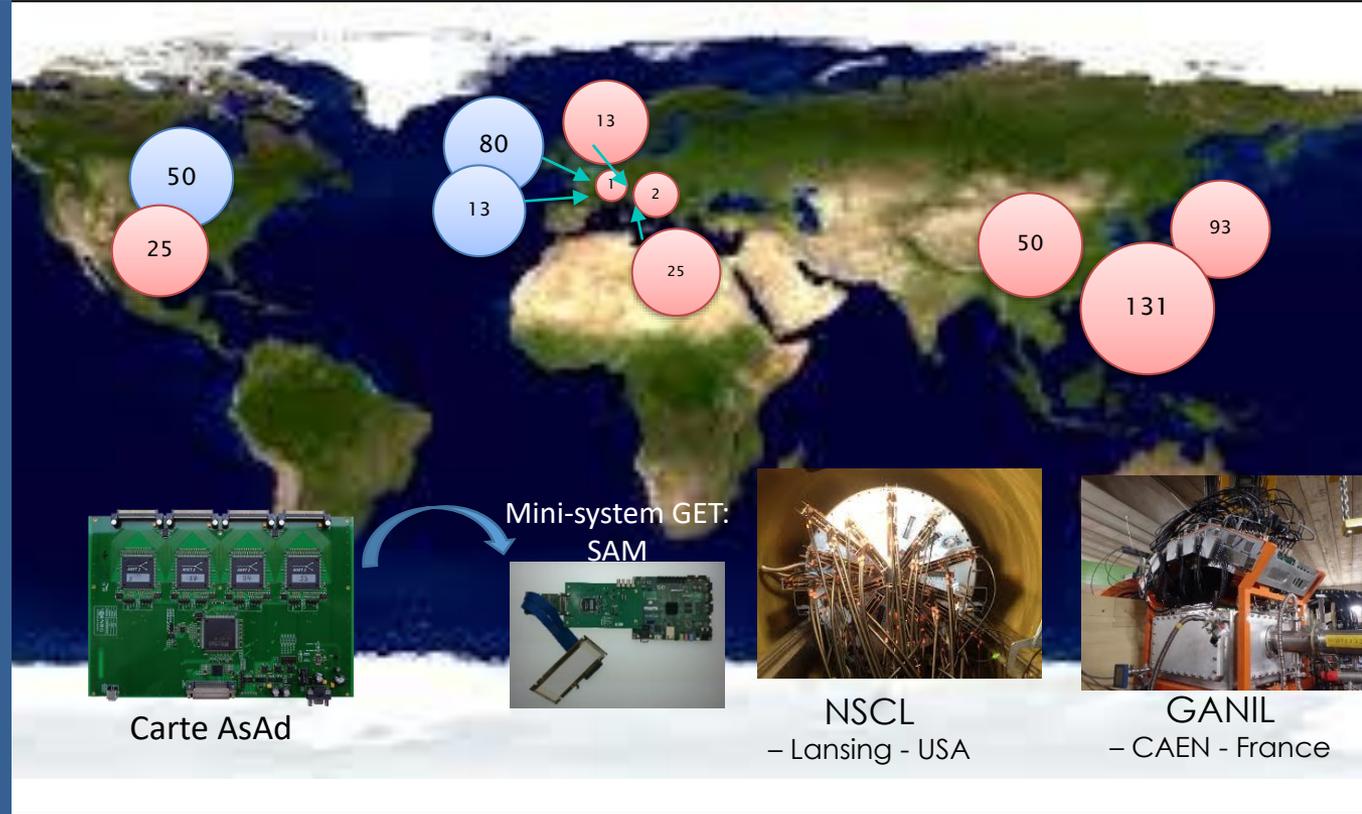
AsAd : Un succès mondiale



FEDD a produit plus de 490 cartes depuis 2014

AsAd dans le monde

Users AsAd	number of
RIKEN – JAPAN	55
J-PARC – JAPAN	32
CNS – JAPAN	6
INFN CATANIA – ITALY	24
INFN PADOVA – ITALY	1
IBS – KOREA	131
TEXAS A&M – USA	8
NSCL – USA	50
ASU – USA	1
UNIVERSITY NOTRE DAME – USA	4
IMP – CHINA	23
INPAC – CHINA	8
SINAP – CHINA	1
UCAS – CHINA	4
GANIL – FRANCE	80
IPNO – FRANCE	1
IRFU – FRANCE	17
LPC CAEN – France	1
UNIVERSIDAD ZARAGOZA – ESPANA	2
IFIN-HH – ROMANIA	2
LMU – DEUTSCHLAND	1
HONG KONG UNIVERSITY	2
KU LEUVEN – BELGIUM	8
LEGNARO – ITALIE	8
ELI-NP – ROUMANIE	5
.....	



→ Traitement d'obsolescence et évolution du système GET vers un système compact et intégré: GARETS

→ + de 490 cartes AsAd valorisées + mini-AsAd (SAM)

→ GET est obsolete :

→ Asic AGET/STAGE : changement de packaging (obsolescence)

→ Obsolescence CoBo et MuTant (plus produite)

→ Obsolescence FPGA AsAd et connecteurs

→ Toujours de la demande pour AsAd (25 à 50 cartes par an)

AMBITION

→ Traiter obsolescence FPGA et Packaging Asic vers un BGA

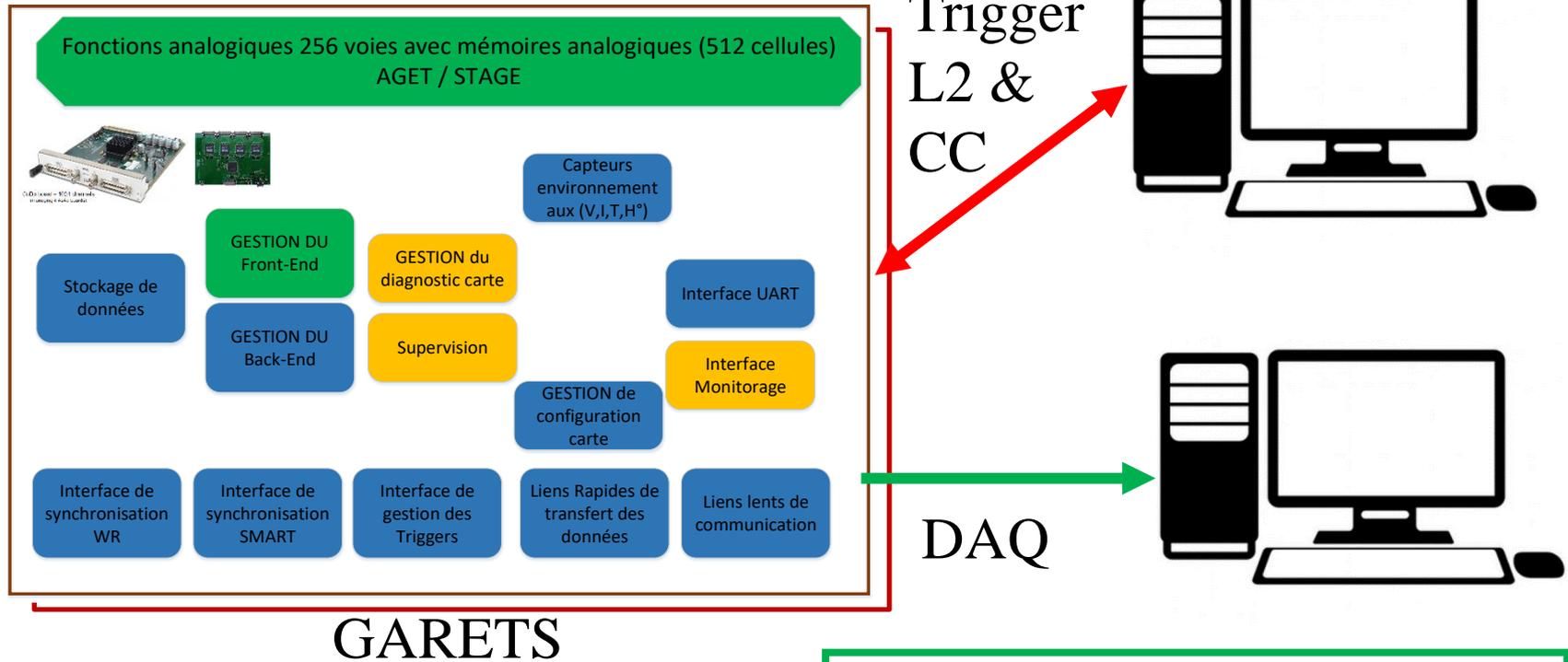
→ Ajouter du stockage en ligne (1Gb)

→ Ajouter Synchro & Trigger intelligent (WR et SMART)

→ Ajouter Lien Rapide pour les données

→ Intégration d'un nœud de 256 voies autonome (AsAd+CoBo)

◆ Instrument développée: départ TRL4

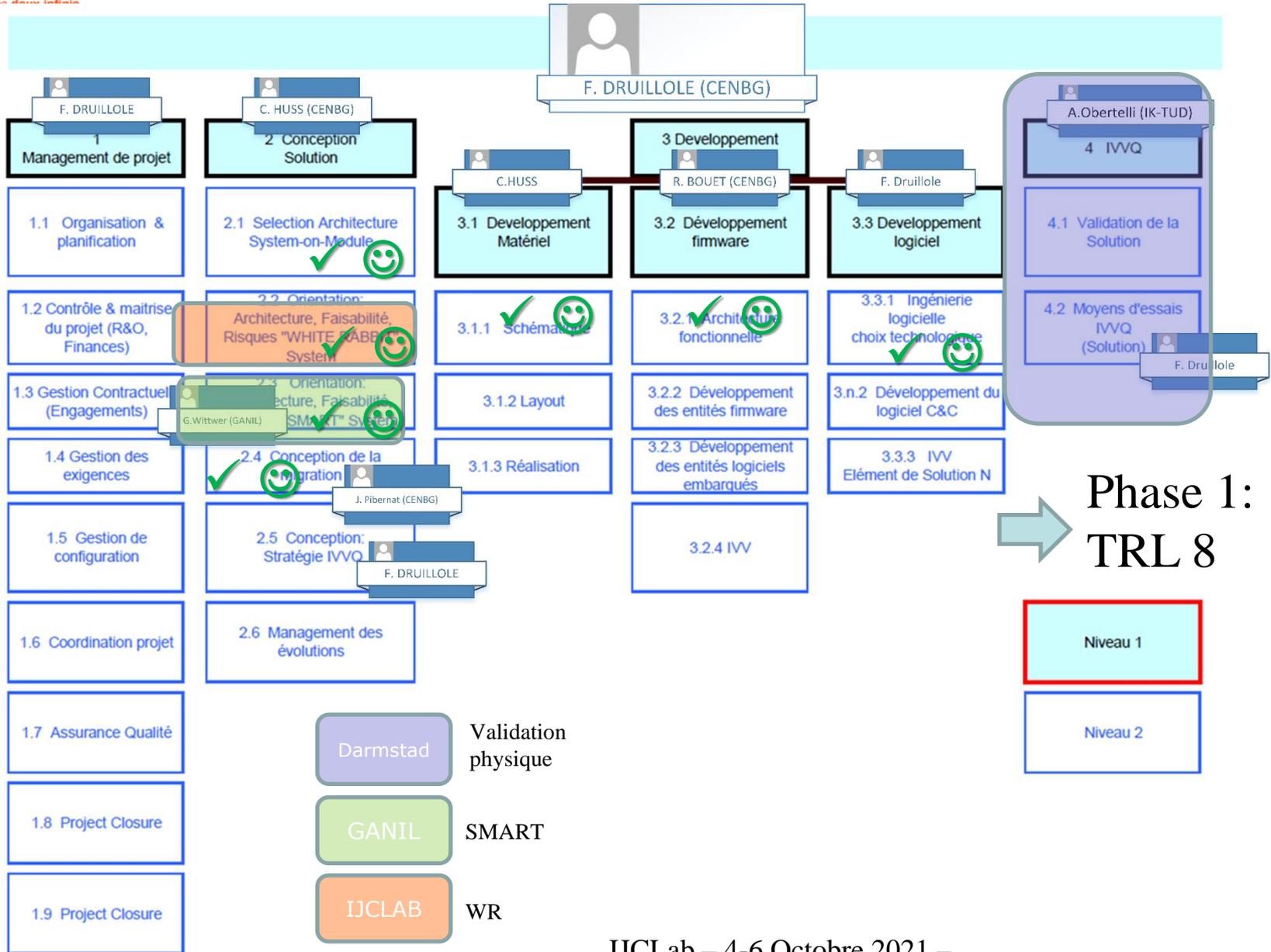


- FPGA SoC MPoC
- AGET/STAGE asic (BGA)
- Monitoring

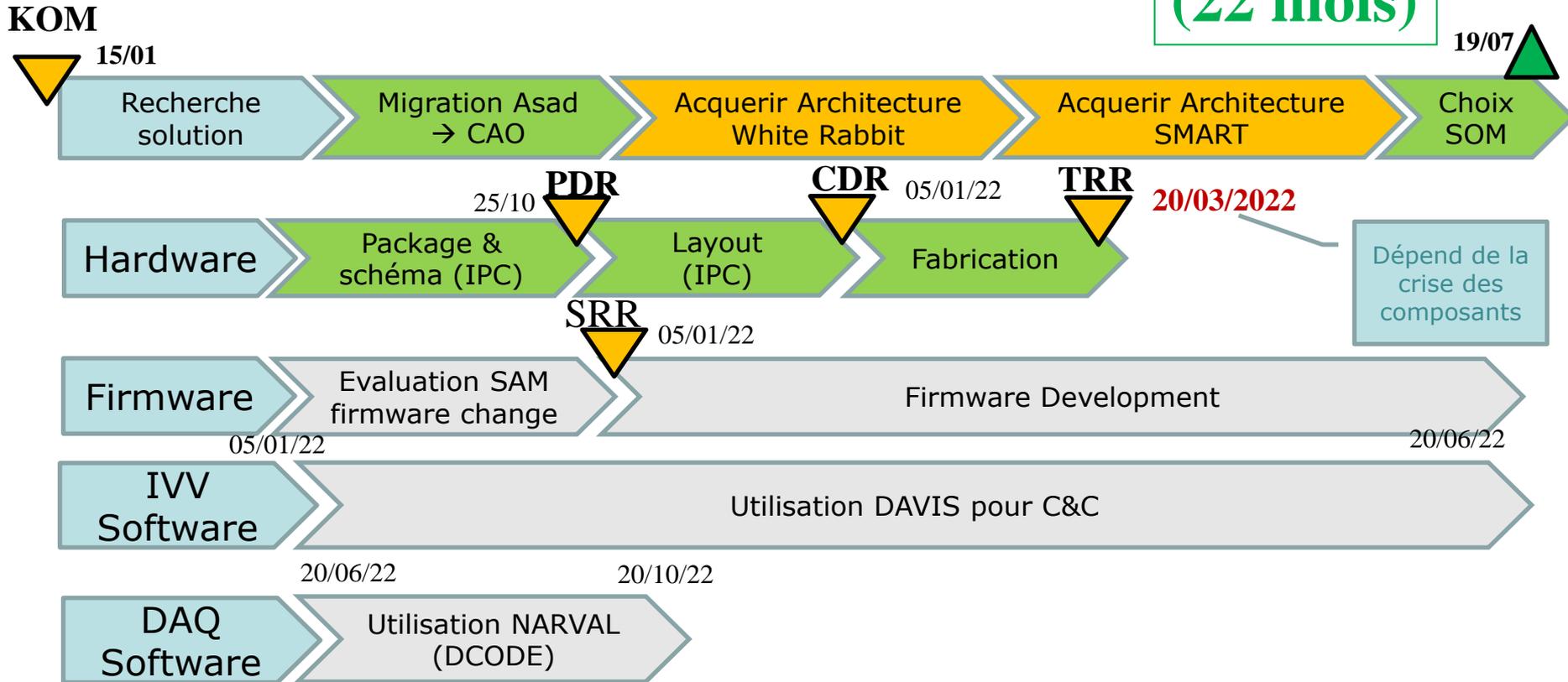
- Stockage des événements
- Trigger L0 & L1
- Liaison Rapide (1/10Gb/s)

Journées R&T 2021

Plan de Management



◆ Instrument développée : Roadmap (~~13 mois~~) (22 mois)



Retard HW : 6 mois → Covid-19 a ralenti nos projets

Retard FW/SW : 8 mois → Priorisation projet (JUNO, R2D2)

→ Trenz SOM: TE0803 → Un large choix pour une même empreinte

System On Module (Ultrascale) → 5.2 x 7.6 cm

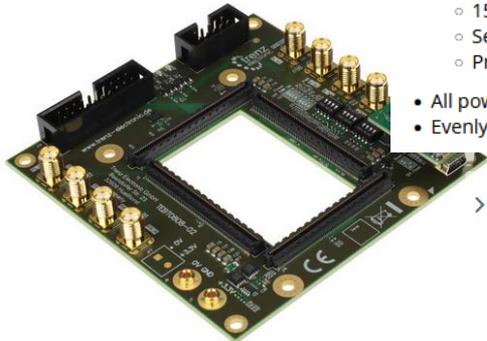
Zynq Ultrascale on demand



- ▶ 1x Zynq UltraScale+ XCZU5EV-1SFVC784E
- ▶ 784 Pin Packages
- ▶ Dimensions: 5.2 x 7.6 cm
- ▶ Plug-on module with 4 x 160 pin B2B connectors
- ▶ Designed for shock and high vibration
- ▶ 4 mounting holes for skyline heat spreader
- 2 GByte (64-bit) DDR4 SDRAM
- 128 MByte QSPI Boot Flash dual parallel
- 2 Kbit Serial EEPROM for MAC Address
- 48 High-density (HD) I/O's (2 banks)
- Graphic Processing Unit (GPU) + Video codec unit (VCU)
- User I/O

- 65 x multi-use I/O's (MIO)
- 156 high-performance (HP) I/O's (3 banks)
- Serial transceiver: PS GTR 4; PL GTH 4
- Programmable 4-channel PLL clock generator
- All power supplies on board, single 3.3V power source required
- Evenly spread supply pins for good signal integrity

Test Bench

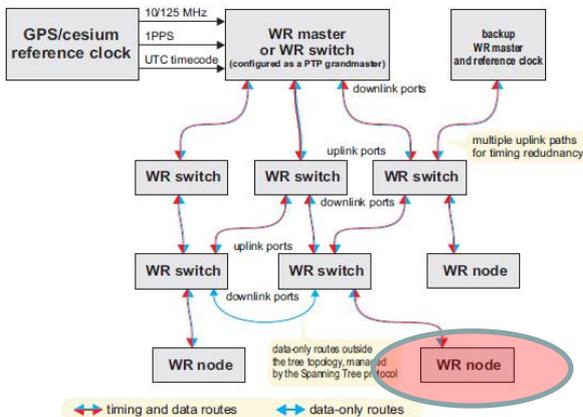


Model	Form factor	SoC	Pin Packages	RAM	SPI Flash	Graphic Processing Unit (GPU)	Video Codec Unit (VCU)	Temperature range
TE0803-03-2AE11-A	5.2 x 7.6 cm	XCZU2CG-1SFVC784E	784	2 GB DDR4	128 MB	-	-	extended
TE0803-04-2AE11-A	5.2 x 7.6 cm	XCZU2CG-1SFVC784E	784	2 GB DDR4	128 MB	-	-	extended
TE0803-03-3AE11-A	5.2 x 7.6 cm	XCZU3CG-1SFVC784E	784	2 GB DDR4	128 MB	-	-	extended
TE0803-04-3AE11-A	5.2 x 7.6 cm	XCZU3CG-1SFVC784E	784	2 GB DDR4	128 MB	-	-	extended
TE0803-03-4AE11-A	5.2 x 7.6 cm	XCZU4CG-1SFVC784E	784	2 GB DDR4	128 MB	-	-	extended
TE0803-04-4AE11-A	5.2 x 7.6 cm	XCZU4CG-1SFVC784E	784	2 GB DDR4	128 MB	-	-	extended
TE0803-03-2BE11-A	5.2 x 7.6 cm	XCZU2EG-1SFVC784E	784	2 GB DDR4	128 MB	x	-	extended
TE0803-04-2BE11-A	5.2 x 7.6 cm	XCZU2EG-1SFVC784E	784	2 GB DDR4	128 MB	x	-	extended
TE0803-03-3BE11-A	5.2 x 7.6 cm	XCZU3EG-1SFVC784E	784	2 GB DDR4	128 MB	x	-	extended
TE0803-04-3BE11-A	5.2 x 7.6 cm	XCZU3EG-1SFVC784E	784	2 GB DDR4	128 MB	x	-	extended
TE0803-03-4BE11-A	5.2 x 7.6 cm	XCZU4EG-1SFVC784E	784	2 GB DDR4	128 MB	x	-	extended
TE0803-04-4BE11-A	5.2 x 7.6 cm	XCZU4EG-1SFVC784E	784	2 GB DDR4	128 MB	x	-	extended
TE0803-03-4GE21-L ¹⁾	5.2 x 7.6 cm	XCZU4EG-2SFVC784E	784	4 GB DDR4	128 MB	x	-	extended
TE0803-04-4GE21-L ¹⁾	5.2 x 7.6 cm	XCZU4EG-2SFVC784E	784	4 GB DDR4	128 MB	x	-	extended
TE0803-03-4DE11-A	5.2 x 7.6 cm	XCZU4EV-1SFVC784E	784	2 GB DDR4	128 MB	x	x	extended
TE0803-04-4DE11-A	5.2 x 7.6 cm	XCZU4EV-1SFVC784E	784	2 GB DDR4	128 MB	x	x	extended
TE0803-03-4DE21-L ¹⁾	5.2 x 7.6 cm	XCZU4EV-1SFVC784E	784	4 GB DDR4	128 MB	x	x	extended
TE0803-04-4DE21-L ¹⁾	5.2 x 7.6 cm	XCZU4EV-1SFVC784E	784	4 GB DDR4	128 MB	x	x	extended
TE0803-03-5DE11-A	5.2 x 7.6 cm	XCZU5EV-1SFVC784E	784	2 GB DDR4	128 MB	x	x	extended
TE0803-04-5DE11-A	5.2 x 7.6 cm	XCZU5EV-1SFVC784E	784	2 GB DDR4	128 MB	x	x	extended
TE0803-03-5DI21-A	5.2 x 7.6 cm	XCZU5EV-1SFVC784I	784	4 GB DDR4	128 MB	x	x	Industrial
TE0803-04-5DI21-A	5.2 x 7.6 cm	XCZU5EV-1SFVC784I	784	4 GB DDR4	128 MB	x	x	Industrial

→ Un seul exemplaire disponible à l'achat : reçu en septembre

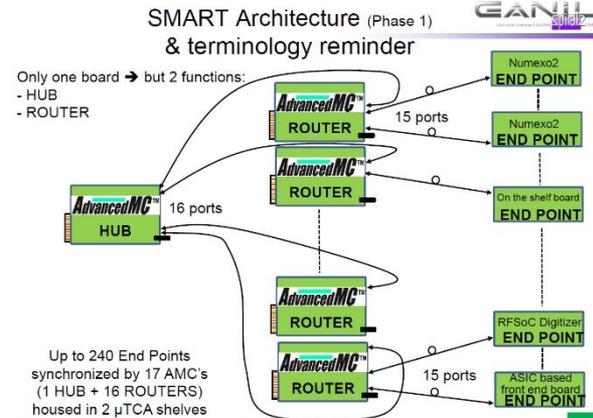
→ Une mesure du temps des événements modernisés

White Rabbit: SynchE + PTP

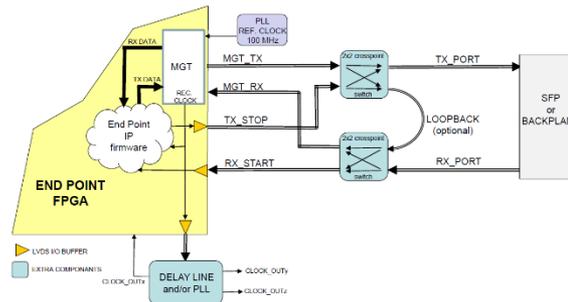


GARETS sera un nœud WR

SMART: END POINT

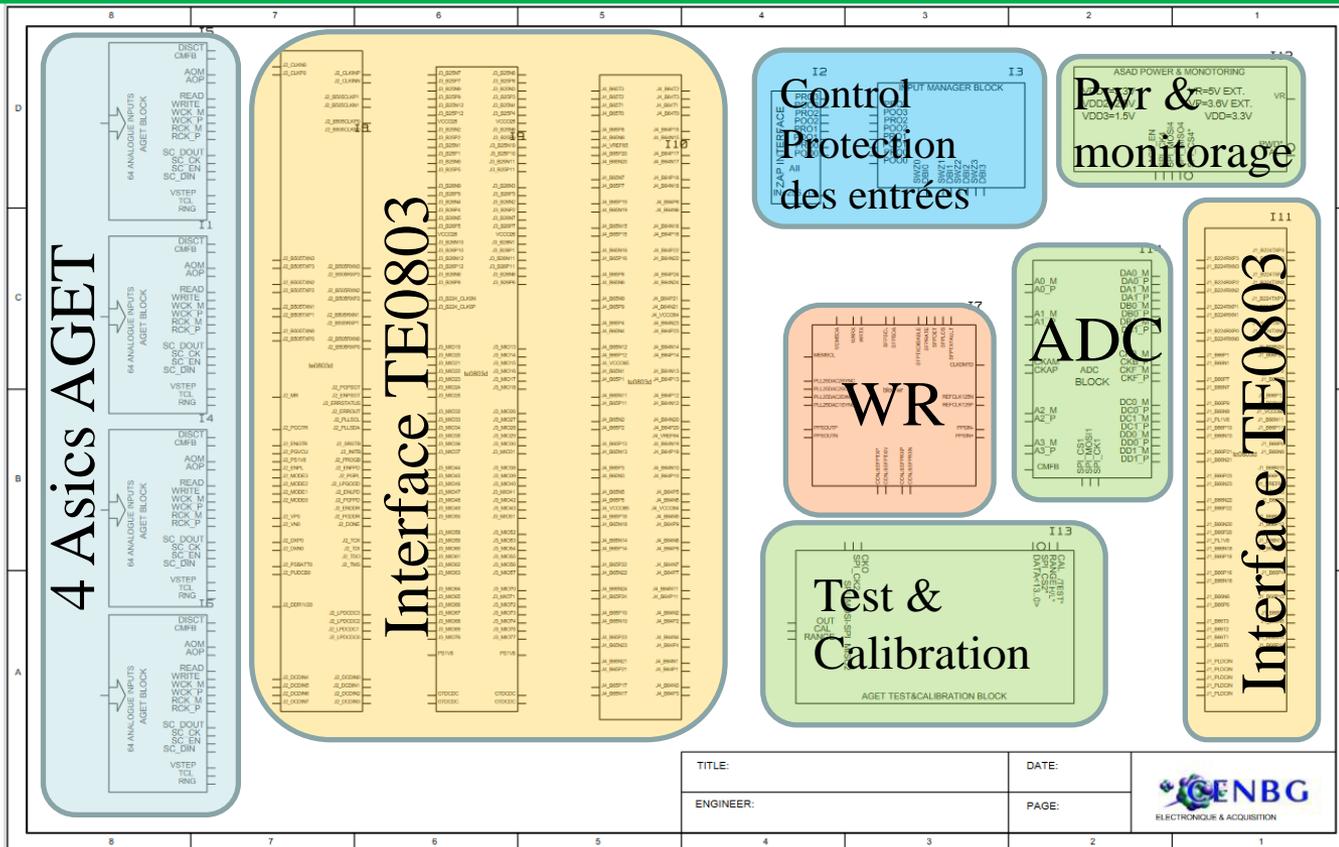


Extra hardware required for a full implementation
(timestamping, fine delay alignment & synchronous clock distribution)

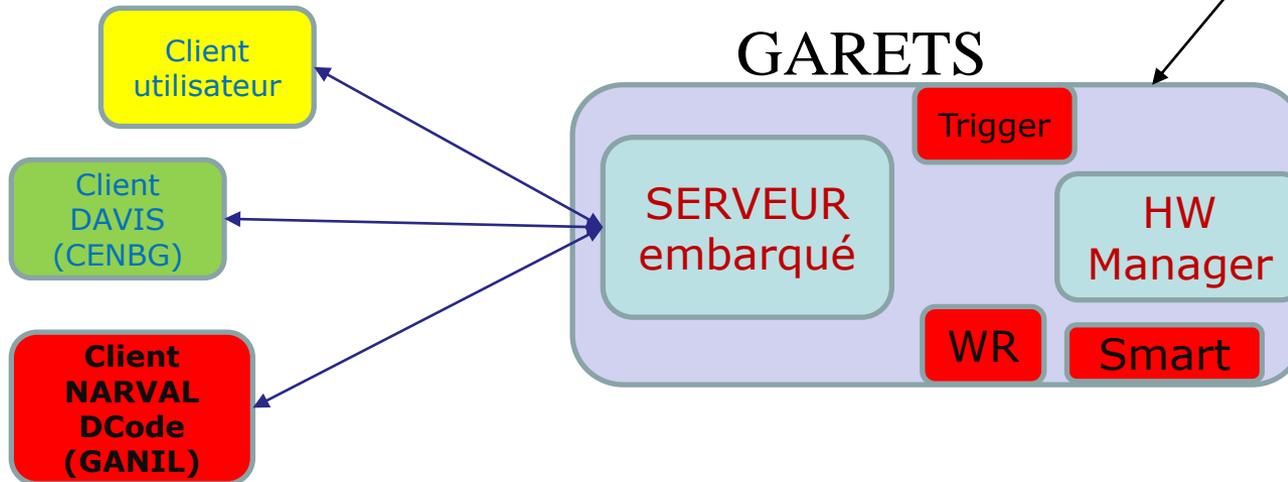
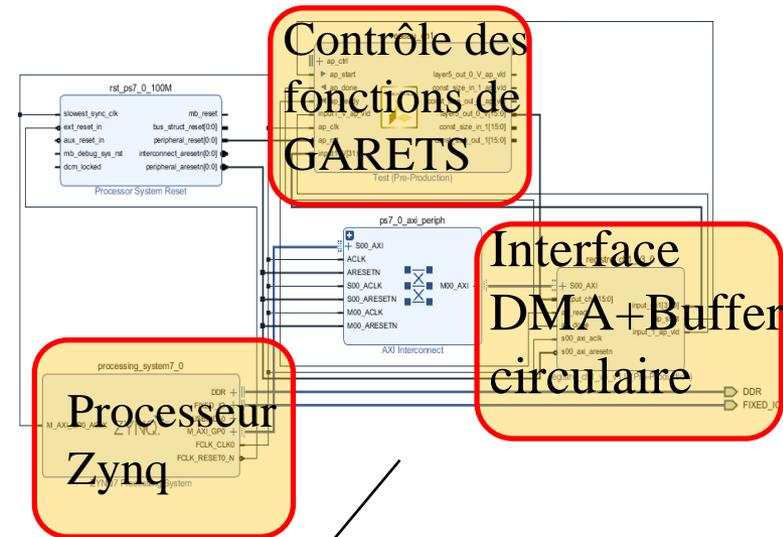


GARETS contiendra les fonctions matériels pour être un **END POINT SMART**

- ✓ Evolution AsAd vers Cadence 17.4
 - ✓ Empreinte des composants au standard IPC (BGA AGET/STAGE)
 - ✓ WR interface
- À venir:
- Interface SMART
 - Interface Ethernet SFPDP (Lien optique)



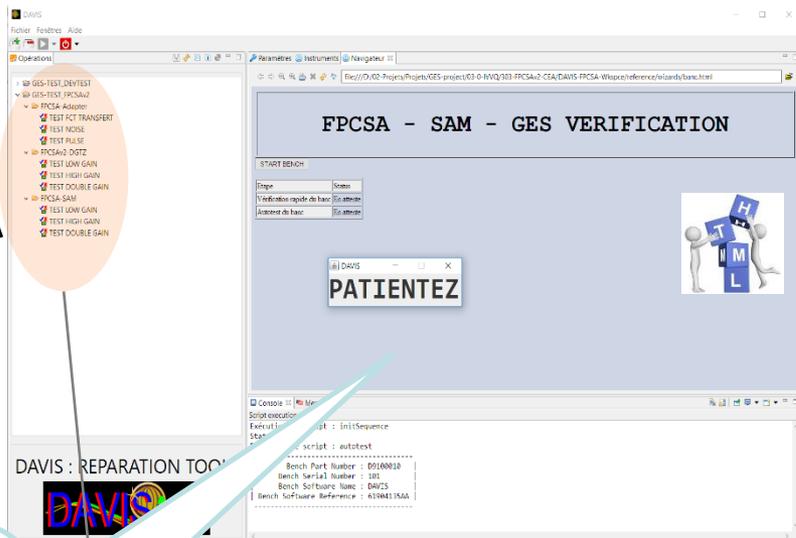
- Changement Technologie Reseau
 - GET: IceE (Corba) → Trop spécialisé
 - GARETS: Server classique avec lien binaire
 - Utilisateur peut créer son propre client



Journées R&T 2021 Technologie



Logiciel DAVIS



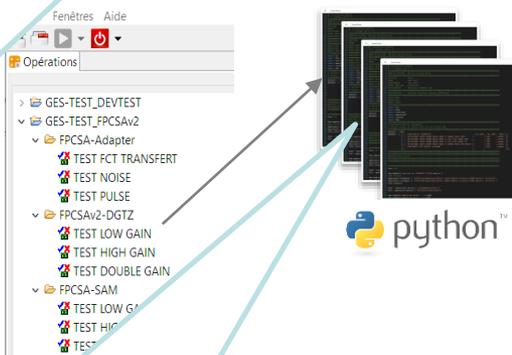
eclipse

equinox



DAVIS-GUI:

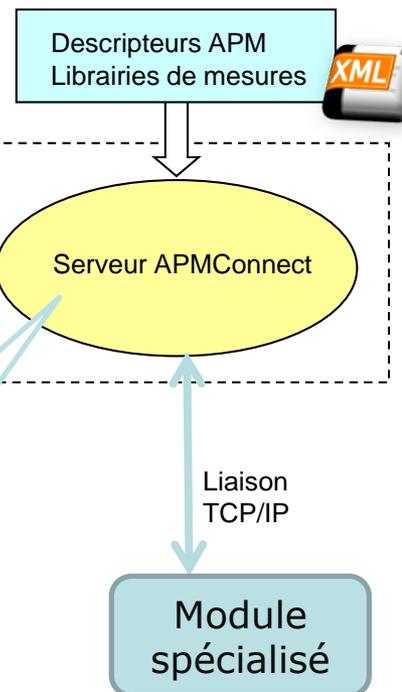
IHM de présentation basé sur eclipse RCP avec espace de travail et de référence



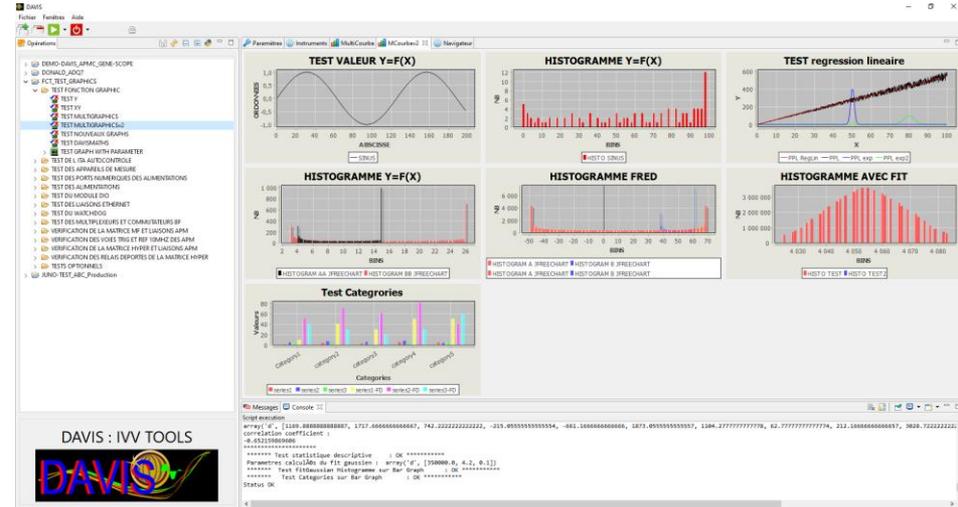
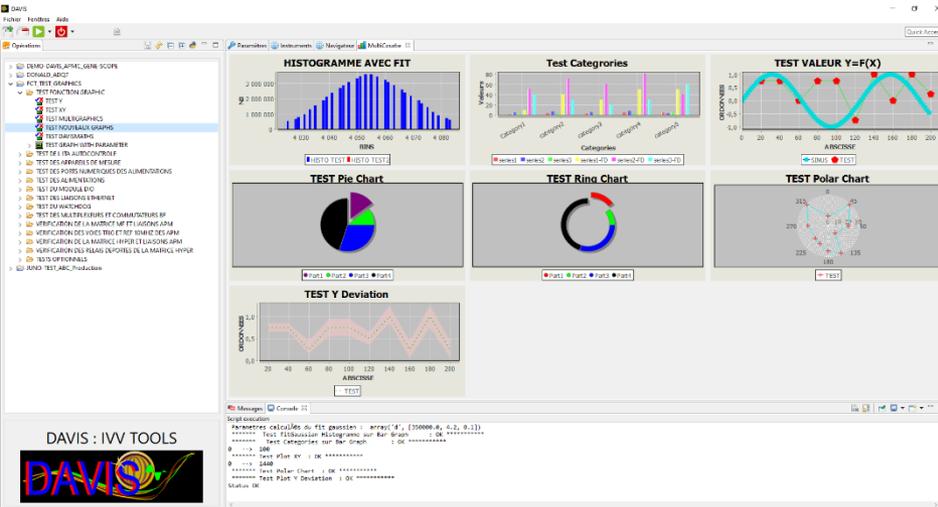
Scripts python: organise les activités de tests sous forme de scénarios pilotant APMConnect



APMConnect: serveur de clients connectés à des appareils pilotable en commande Unicode sous TCP/IP



➔ l'utilisateur a accès à un grand nombre de ressources (HW/SW) en script python



```

#####
print 'Mean_Charge_pong ', len(Mean_Charge_pong)
print 'StdDev_Charge_pong ', len(StdDev_Charge_pong)
print 'Mean_Charge_ping ', len(Mean_Charge_ping)
print 'StdDev_Charge_ping ', len(StdDev_Charge_ping)
print '(INFO) Events : ', abcEvents.Size(), ' PING:', channelsPingList, ' PONG:', channelsPongList

multiCourbes.effaceMultiGraphes()
indexG = 0
chInd = "ALL"
multiCourbes.creezNouveauGraphes('PING Charge ABC'+str(CAT_val)+'-ch'+str(chInd), 'QInj (mV)', 'Q (ADU)', False, True)
for chIndex in range(16) :
    XHG=[]
    YHG=[]
    XLG=[]
    YLG=[]

    for ampVal in Amp_List:
        for keys,vals in Mean_Charge_ping.items():
            if keys[0] == "PING":
                if (keys[1] == "HG" and (keys[2] == ampVal and (keys[3] == chIndex+CAT_val*16) :
                    YHG.append(int(ampVal))
                    YHG.append(vals)
                    print 'HG : ', keys, ' => ', XHG[-1:], ', ', YHG[-1:]

                if (keys[1] == "LG" and (keys[2] == ampVal and (keys[3] == chIndex+CAT_val*16 +128) :
                    XLG.append(int(ampVal))
                    YLG.append(vals)
                    print 'LG : ', keys, ' => ', XHG[-1:], ', ', YLG[-1:]

    print XHG
    print YHG
    print XLG
    print YLG
    #####
    #Linearite HG
    print '#####'
    XHGtri = []
    YHGtri = []
    for i, val in enumerate(YHG):
        if val > 200:
            XHGtri.append(XHG[i])
            YHGtri.append(YHG[i])

    reglinDict = davismaths.traitementRegLin(XHGtri, YHGtri)
    print chIndex, ' : HG : ', reglinDict[0]['pente'], ' x Vqinj + ', reglinDict[0]['Intercept']
    print chIndex, ' : HG : ', reglinDict[0]
    #####
    #Linearite LG

```

INDEX	RISQUES	ACTIONS	RESPONSABLES	CRITICITE	TENDANCE
1	Conversion de la carte AsAd dans la dernière version de Cadence Allegro en mode hiérarchique	Réécriture de script CADENCE	J Pibernat		↓
2	Prise de connaissance sur le White Rabbit	Faire un benchmarking des différentes solution avec DAQGEN et JUNO-TT solution	C. HUSS		↓
3	Changement de la librairie IceE pour une librairie standard peut engendrer un risque de perte de performance	Faire un test des vitesses de transmission d'une librairie standard	R. BOUET		↗
4	Un risque existe de ne pas pouvoir conserver le nombre de couche de la carte AsAd et ainsi de devoir augmenter le nombre de couche et de perdre en performance sur le projet		C.HUSS		→
5	Difficulté à avoir une liaison 10Gb/s fibre Optique sans license spécifique Xilinx	Discussion avec Avnet (Xilinx) sur le sujet	A. Rebi		↑

- Saut technologiques:
 - Maîtrise MpSoC (UltraScale Zynq) à travers Vivado HLS
 - DDR4
 - Timing & Trigger:
 - White Rabbit (Juno & DaqGen)
 - SMART (GANIL)
 - Lien Ethernet 10Gbit/s avec Xilinx Zynq
- Evolution Briques de Base:
 - Logiciel embarqué standardisé Linux (évolution SAM)
 - Brique DMA Ethernet (Axi-Stream)
 - Logiciel C&C DAVIS couplé avec Dcode (ex-Narval)
 - Filtrage intelligent (R2D2 & THINK)

Journées R&T 2021 Plan de Prévision



- Stratégie:
 - Phase 1: GARETS
 - Solution matériel
 - Application Standard GET: HYDRA
 - → Proof of Product
 - Phase 2: --> 2023)
 - Recherche d'applications
 - Développement Logiciel @ 10Gbit/s
 - SMART & WR
 - Trigger L2