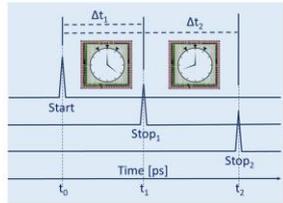


Projet de R&T IN2P3
FASTIME/Mokrane DAHOUMANE



FASTIME

Projet R&T/IN2P3 sur la mesure de temps rapide en TSMC 130nm

Concepteurs :

- *Mokrane Dahoumane, Sébastien Drouet, Jean-Jacques Dormard, XiaoChao Fang, Imad Laktineh, Laurent Leterrier, Samuel Manen, Hervé Mathez, Patrice Russo, Rachid Sefri, Christophe Sylvia, Philippe Vallerand, Richard Vandaele,*
- *Arrivés en septembre 2021 : Roméo Bonnefoy, Frédéric Jouve, Ludovic Raux.*

Journées R&T IN2P3 2021 – octobre 2021 – IJCLab

- ❑ Introduction
 - ❑ Contexte scientifique du projet
 - ❑ Objectif technologique
- ❑ Organisation du projet
 - ❑ Phases du projet
 - ❑ Planning du projet (GANTT)
- ❑ Détecteurs et spécifications
- ❑ Design des blocs de base de FASTIME :
 - ❑ fast front end
 - ❑ discriminateur
 - ❑ blocs communs
 - ❑ TDC
- ❑ Fonderie et cartes de test
- ❑ Conclusions

- FASTIME est un projet de R&T/IN2P3 qui porte sur le développement d'une **électronique intégrée** (ASIC) de **mesure de temps** très rapide de résolution de l'ordre **de la picoseconde**.
- Une telle résolution devient de plus en plus nécessaire dans de nombreux domaines, par exemple :
 - dans les futures expériences de physique des particules pour réduire le pile-up de ~1000,
 - ou dans les futures générations d'imagerie médicale (TEP) pour réduire de ~20 la dose injectée dans les patients
 - ou enfin pour d'autres applications sociétales (future génération de détecteurs à pixels précis dans le temps) dont la résolution temporelle, qui approche la picoseconde, ne doit pas être dégradée par l'électronique de lecture.
- Cette proposition s'appuie sur l'expertise et sur la synergie de plusieurs laboratoires IN2P3 (IJCLab, IPHC, IP2I, LPC-Caen, LPC-Clermont)

Objectif technologique : développement d'un prototype

- FASTIME a pour objectif de **lever des verrous technologiques** actuels qui limitent la résolution temporelle
- L'objectif final est de réaliser un **prototype d'ASIC multivoie** qui intégrera sur un même substrat de Silicium **une chaîne complète** de la mesure de temps.
- Les éléments principaux de la chaîne sont :
 - l'étage d'entrée (Fast Front-End) qui est un Préamplificateur rapide (Preamp), de bas jitter ~ 1 ps, très critique car dépendant étroitement des caractéristiques du détecteur en amont,
 - un discriminateur rapide (Fast-Discrim) de faible jitter ~ 1 ps,
 - un TDC avec différentes fonctionnalités, une logique de contrôle,
 - des blocs périphériques (DAC, Bias, PLL, SLVS-Tx, SLVS-Rx...)
- Technologie TSMC130nm choisie pour :
 - sa maturité et sa pérennité, ses performances...
 - une grande expertise de la communauté dans cette technologie.
 - le transfert vers des technologies plus fines reste réalisable :
 - comme la TSMC 65nm ou la FD-SOI 28 nm.
- Le prototype partagé au sein de la communauté IN2P3.

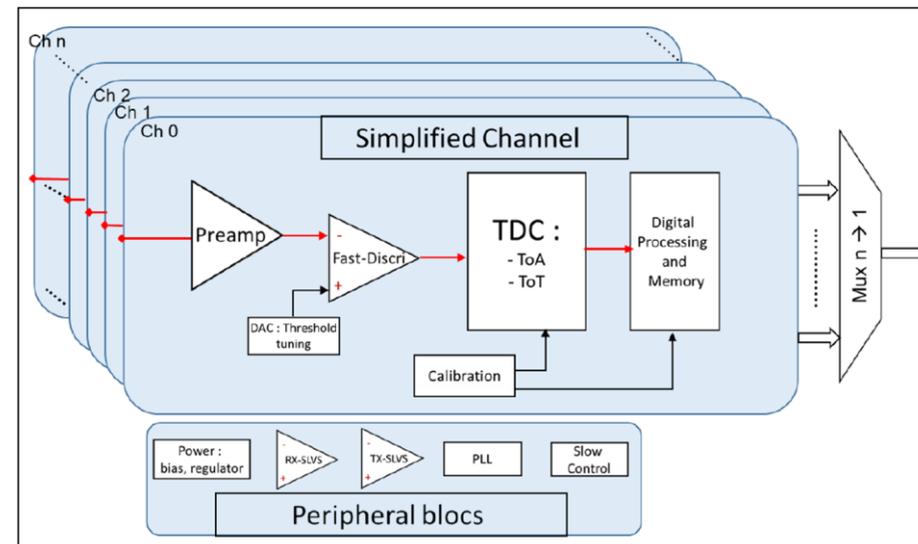
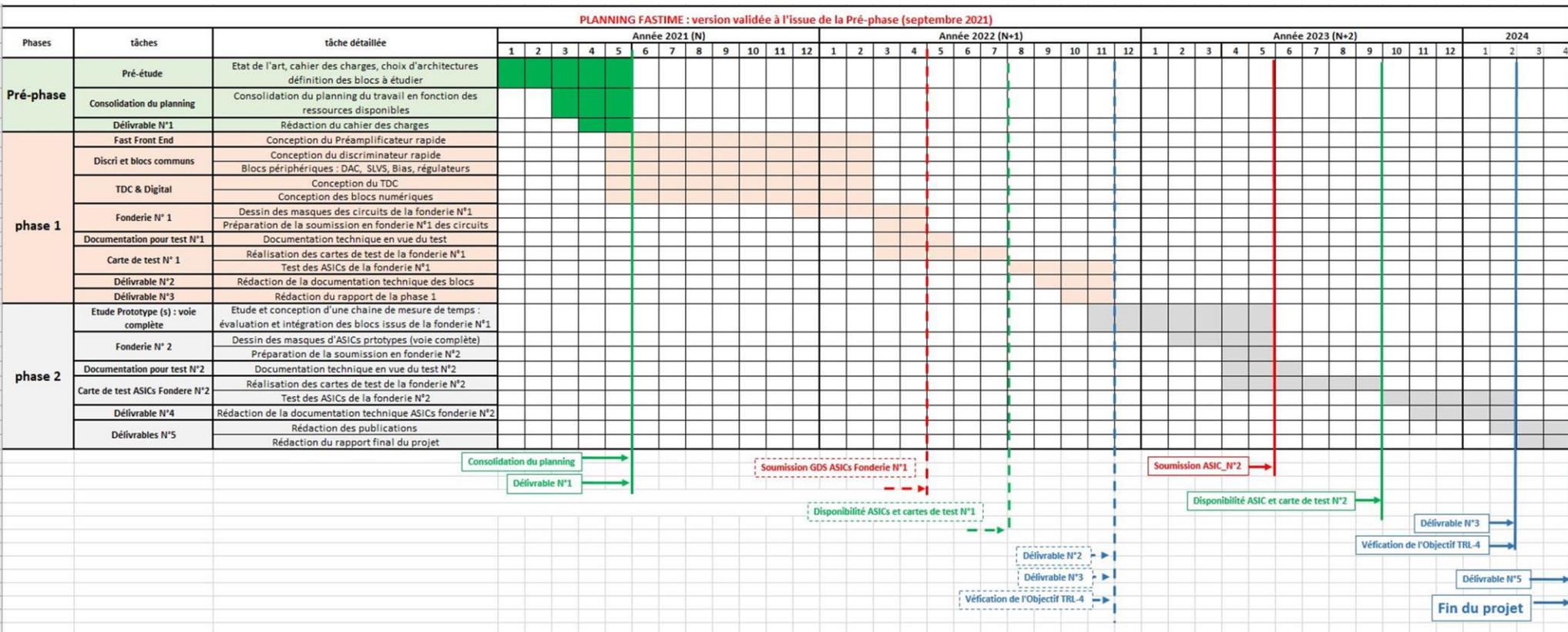


Diagramme simplifié du prototype d'ASIC intégrant une chaîne « complète » de mesure de temps

Organisation du projet : phases du projet (voir le diagramme de GANTT)

- La réalisation de FASTIME se déroule sur **deux phases principales précédées d'une pré-étude** de ~5 mois.
- **La pré-étude (terminée) a permis :**
 - revue de l'état de l'art dans les différentes communautés (IN2P3, CERN ou autres), en ASIC ou en mixte ASIC-FPGA :
 - évaluation des réalisations et savoir-faire dans le domaine du timing à l'IN2P3
 - définition du cahier des charges et des spécifications,
 - choix architecturaux et techniques adéquats
 - consolidation du planning et des moyens de réalisation.
- Après cette pré-phase, Suivront deux phases de réalisation :
- **Phase 1 : conception/réalisation des des blocs de base (Building Blocs) afin de les tester individuellement :**
 - première soumission en fonderie des circuits des blocs de base avril 2022
- **Phase 2 : conception et réalisation d'un prototype d'une chaine complète :**
 - intégration des blocs caractérisés en phase 1, afin de constituer une chaine complète.
 - études des interactions et perturbations mutuelles entres blocs
 - études du crosstalk et choix du nombre de voies par ASIC
 - soumission en fonderie d'une voie complète prévue au deuxième trimestre de 2023
 - rédaction de la documentation et des publications.

Organisation du projet : planning du projet FASTIME



Détecteurs et spécifications

- Actuellement nous nous disposons des spécifications du senseur Timing de PICMIC (comme application HEP) :

- le design des blocs s'est orienté sur cette application.

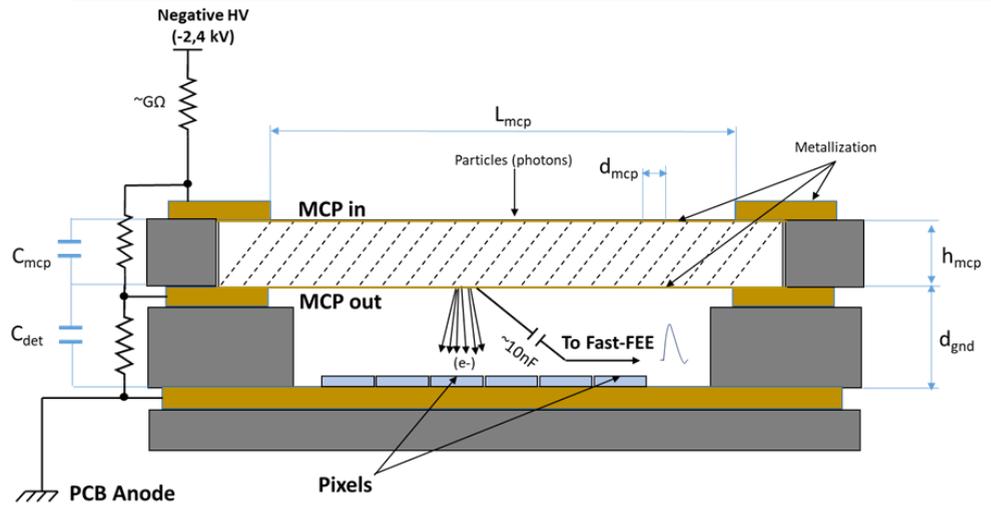
FASTIME veut également répondre à un cahier des charges d'imagerie médicale

→ intérêt pour des détecteurs utilisés (ou à utiliser) dans les prochaines générations de ToF PET :

- en cours d'évaluation avec C. Morel@CPPM.

Type de détecteur /Application	NCP/MCP /PICMIC	SiPM/ToF PET ? À définir
Précision temporelle (rms)	1 ps rms	3 ps rms
Temps mort	100 ns	10 ns
Puissance dissipée	---	---
Fréquence de Readout (en Différentiel)	~ 100MHz à ~1GHz	---
dynamique	100 fC à 1 pC	---
Nombre de voies	16	16
Capa det (totale vue par le FEE)	46 pF	---
Couplage	AC : Détecteur sous haute tension	---
Impédance de la ligne	37 ohm/voie	---
Temps de collection de charge/temps de déplacement	20ps/200ps	--
Temps de montée du signal	~1ns	---
Température	---	---
Taux de comptage	1 MHz/CM2	---

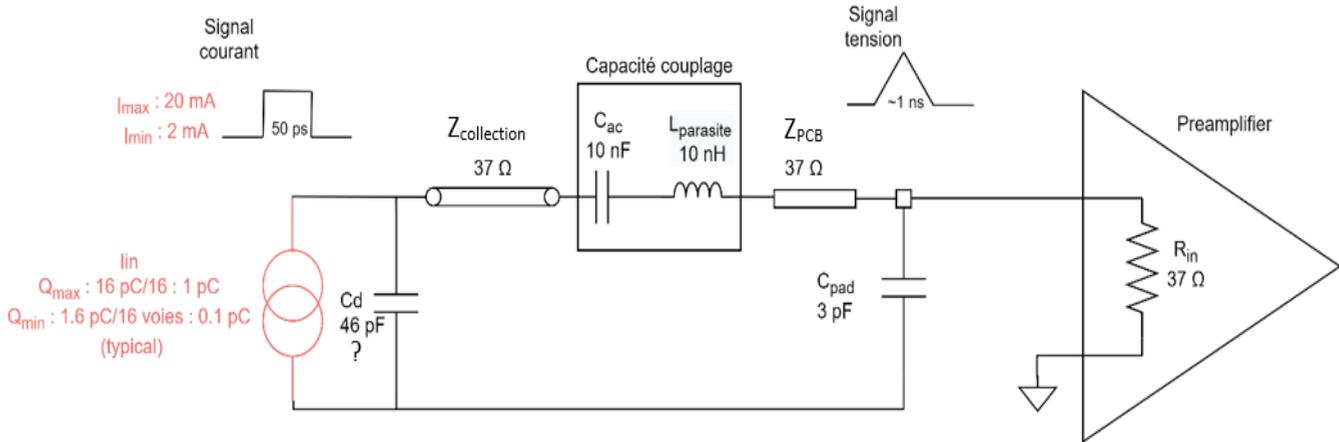
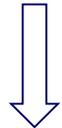
Détecteurs et spécifications : modèle électrique du senseur timing de PICMIC



L_{mcp}	2.5 cm
h_{mcp}	--
d_{gnd}	0.6 mm
d_{mcp}	2.5 μ m
C_{mcp}	35 pF
C_{det}	11 pF

caractéristiques mesurées d'une voie du senseur timing de picmic

Schéma simplifié du setup de PICMIC montrant les dimensions et la disposition des différents éléments du détecteur



Modèle électrique du détecteur vu par le front end

➤ Architecture du Fast Front End :

- préamplificateur en tension (Cf. designs d'Omega)

➤ Performances recherchée :

(modèle du détecteur en capacité)

- gain $20 < Av < 30$
- bande passante : $BW = 0,351n = 350MHz$.
- rendre BW paramétrable dû aux incertitudes : $300M < BW < 700M$
- expression du Jitter :

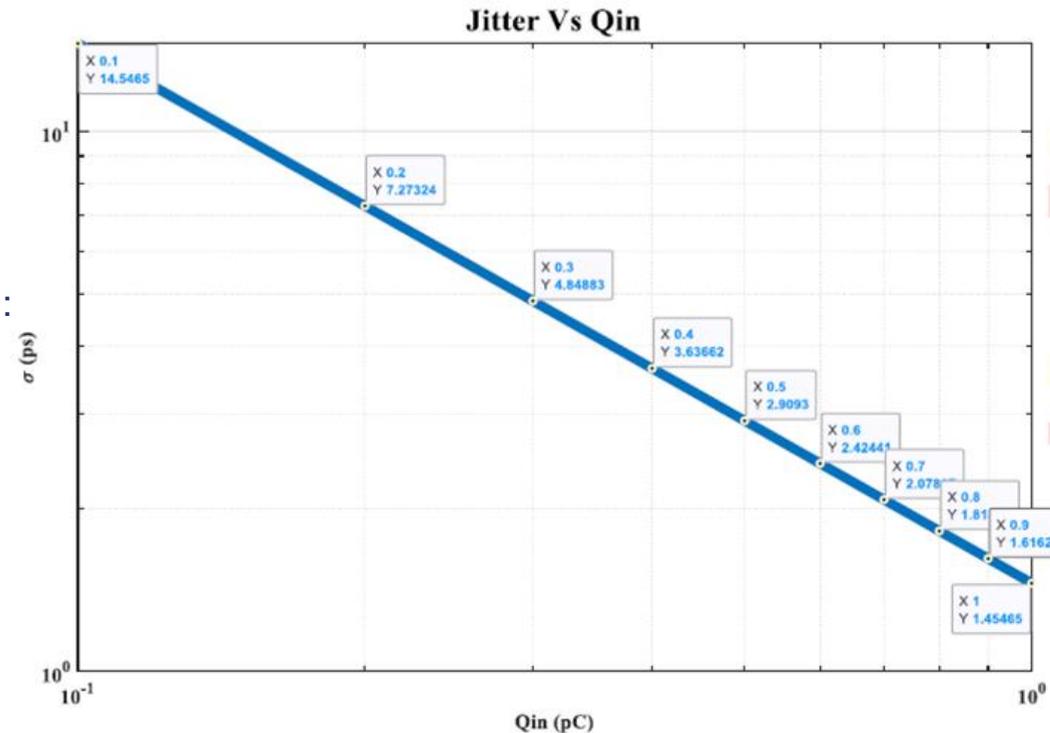
$$\sigma_t^J = \frac{\overline{e_n} \cdot Cd}{Q_{in}} \times \sqrt{\frac{tr_{PA}^2 + td^2}{2 \cdot tr_{PA}}}$$

$$\sigma_t^J = \frac{\overline{e_n} \cdot Cd}{Q_{in}} \times \sqrt{td}$$

A l'optimum ($tr_{PA} = td$) :

Selon Q_{in} , le jitter varie de 1,45ps à 14,5ps.

La performance est limitée par Cd (pour ce modèle du détecteur et cette architecture du préampli).



Design de Building Blocs : discriminateur

Architectures de Discriminateur étudiées et optimisation de leurs performances :

- discri d'Altiroc (Omega)
- discri d'Altiroc modifié (fastime)
- discri Feeric (LPC Clermont)
- architecture Discri Cho « clocké »
- un discri de l'IJCLab
- discri à Clock (latché, Cf Cho et al) : très grande performance en jitter, mais inadapté à l'application asynchrones

Spécifications	Valeur visée
Gamme dynamique en charge	200fC à 2pC
Gamme dynamique en tension	50 à 500mV
SNR	>10
Bruit en tension	< 5mV
Bande passante	1GHz
Budget de puissance	1mW
Temps mort	< 10ns
Temps de montée en sortie du discri	< 100ps

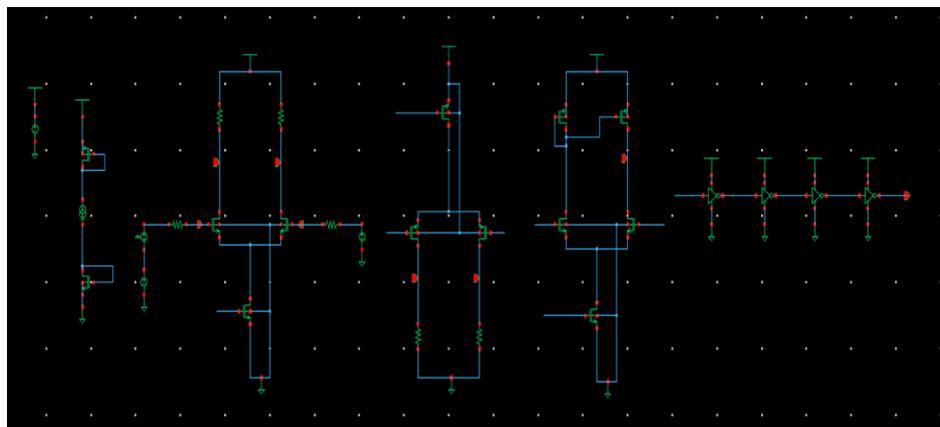


Schéma du discri d'Altiroc modifié (fastime)

	Altiroc	Altiroc_mo dif	Cho	Feeric
Consommation en μ W	350	940	100	420
Walk en ps	300	400	20 (tps de propagation)	800
Jitter Max (50mV)-Min (500mV) en ps	2.4 et 0.44	1.8 et 0.48	0.2 et 0.09	4.2 et 1.2
Offset (σ) en mV	2	2	6	7
Clock	Non	Non	Oui	Non

Design de Building Blocs : blocs communs

Blocs existants :

- des blocs existent dans le projet BB130
- ces blocs seront requalifiés, optimisés (si nécessaire) et réutilisés :

• DACs :

- LPC Caen : DACs 5 bits du LPSC (BB130), sortie symétrique en tension par rapport à un mode commun
- LPC Clt : DACs de 5 à 10 bits, sortie en tension issus du projet HGTD

• Rx/Tx SLVS :

- IP2I + LPC Clt + IJCLAB : R/T SLVS d'AGH (fournis par Marek Idzysik), le Transmitter fonctionne à 1.5 GHz (Lojic 130 et CRONOTIC)
- LPC Caen et LPC Clt : Récepteur LVDS d'OMEGA, fonctionnement à 160 MHz et développé dans le cadre de BB130

Bandgap :

- le Bandgap développé par le CERN serait utilisable

PLL :

- IP2I + IJCLAB + LPC Clt : PLL de Lojic130 (Projet transverse IN2P3) comme base de départ, Fout = 2.56 GHz

Buffer Analogique :

- LPC Clt : il en existe dans le cadre d'HGTD

Slow control

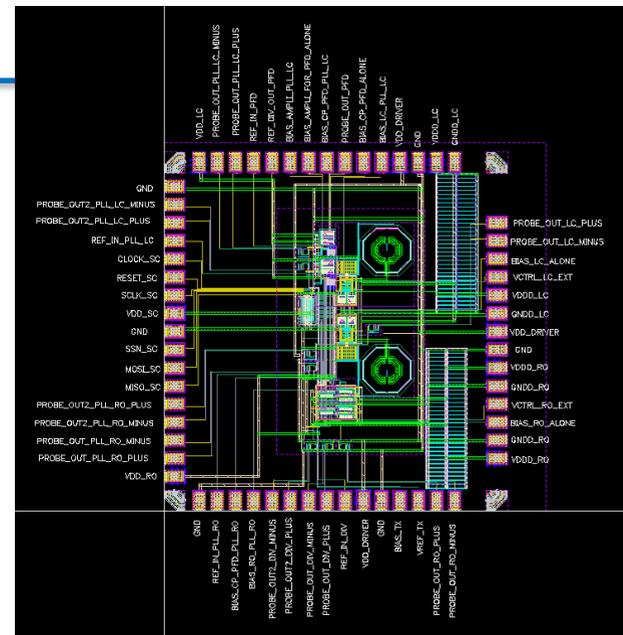
- SPI : IP2I + IJCLAB + LPC Clt : 8 registres de 8 bits pour Lojic130
- SPI : LPC Caen : registres chaînés de 32 bits du LPSC (BB130)
- I2C : IP2I + LPC Clt : un élément de la partie digitale de CRONOTIC intègre 77 registres

Design de Building Blocs : blocs communs

Cas de la PLL

Pas de Re-Design complet de la PLL (Lojic130) mais plutôt une optimisation de celles existantes :

- Modification à prévoir pour affiner le jitter :
 - layout du Diviseur
 - fréquence de coupure du Filtre de boucle
 - ajuster Icp (Slow control)
 - comportement de la PLL en fonction de différentes fréquences référence d'entrée.



Layout de la PLL de Lojic130

Cas des Rx et Tx SLVS

- Les SVLS Tx et Rx assurent un très faible jitter (quelques dizaines de fs rms).
- Simulation MC (200 itérations) du bloc du Tx SLVS
 - Le I_{bias} = 300uA. VDD = 1.2V, V_{ref} nominal = 300mV. La résistance de terminaison doit être mise à l'extérieur de l'ASIC.
 - I_{min} max_{dispersion} = 3 uA (I_{bias} nomila = 300uA) (1%)
 - V_{bias} min max = 2.8 mV autour de 384 mV de tension DC
 - VREF min max = 3 mV autour de 300 de tension de référence nominale.
 - dispersion de la période en sortie différentielle du slvs : **StdDev < 10 fs**

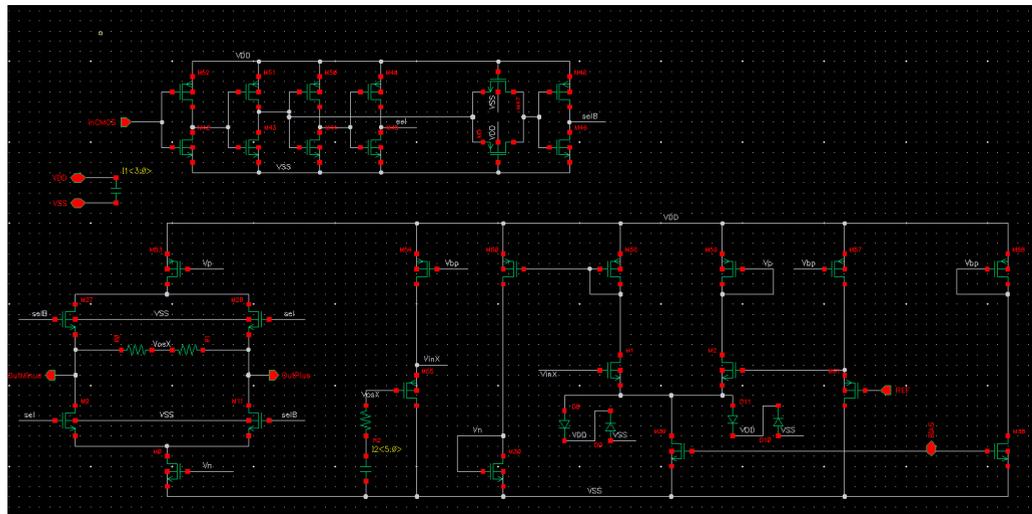


Schéma du Tx SLVS développé à AGH (Marek Idzsiak @ Cracovie)

Design de Building Blocs : le TDC (Time to Digital Converter)

Architecture de TDC :

- Le TDC aura au moins **deux niveaux d'interpolation** :
 - Le **premier niveau** :
 - où le temps mort est privilégié par rapport à la précision.
 - une architecture à base de ligne à retard de type DLL permettrait d'avoir :
 - un temps mort individuel très court (< 10 ns)
 - un pas de quantification de ~ 20 ps (LSB)
 - Le **second niveau** d'interpolation :
 - la spécification sur le temps mort est moins forte contrairement à la précision (de l'ordre de la picoseconde).
 - un LSB de ~ 3 ps est possible en théorie, et un temps mort de 100 ns.

Contraintes de design :

Précision :

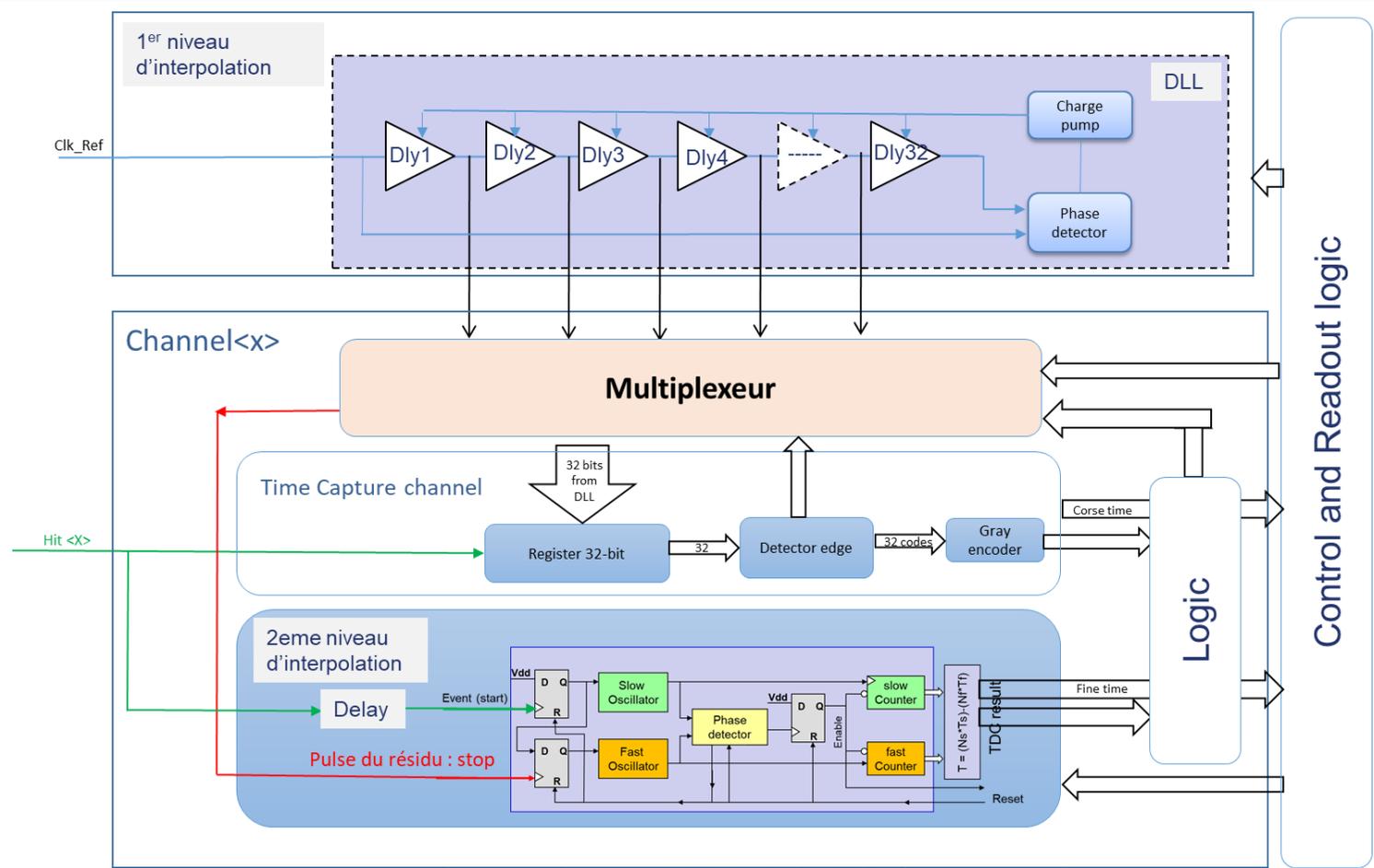
- structure différentielle
- au moins 2 étages d'interpolations pour atteindre la ps rms
- faible INL => Limiter le nombre de cellules de la DLL
- délai sur les cellules à retard le plus faible possible
 - => Limiter le nombre d'étage d'interpolation

Temps mort :

- TDC rapide pour respecter la spécification du médical
 - => DLL (1er étage d'interpolation)
- 2eme étage d'interpolation « plus lent » pour arriver à la ps rms

Spécification	Mode HEP : MCP/PICMIC	Mode médical (SiPM ? ToF PET)
LSB (pas de quantification)	• < 3 ps	• $< 10,4$ ps
Jitter (Stddev = Sigma) rms	• 1 ps rms	• 3 ps rms
Taux de comptage (d'acceptation)	• 1 MHz/CM2 (PICMIC)	• --
Temps mort Taux de trigger	• 100ns (HEP : PICMIC)	• 10ns (Médical : ToF PET ?)
Power	• --	• --
Tension d'alimentation	• 1,2 V (nominale)	• 1,2V
TOT TOA	• Oui • Oui : start→Clk (système synchrone)	• Oui • Oui : start→Clk (système synchrone)
Nombre de voies	• 16 voies	• 16 voies
Dynamique	32 Delay Cells (on chip)	32 Delay Cells (on chip)
Slow control	SPI ou IC2 standard (sans Clk)	SPI ou IC2 standard (sans Clk)

Design de Building Blocs : architecture du TDC



Synoptique général du TDC proposé

- Niveau 1 d'interpolation : DLL à 32 éléments à retard à implémenter en différentiel,
- Niveau 2 d'interpolation : Vernier ring oscillateur TDC comme base line de ce design.
 - D'autres techniques pour le 2eme interpolateur sont étudiées
 - Le signal stop du 2eme niveau est généré par un générateur de pulse du résidu.

2eme niveau d'interpolation : 4 architectures étudiées

- **Méthode Vernier Ring Oscillateur : la base line dans ce design**
 - elle permet en théorie d'atteindre des LSB très inférieurs à 1ps. Le LSB est donné par la différence de périodes entre les deux oscillateurs à anneaux : le rapide et le lent. En pratique, ce type d'architecture est limité notamment par le jitter cumulé et le bruit des alimentations pour des valeurs de LSB proches de 1 ps.
 - plusieurs versions de TDC Vernier ont déjà été développées et testées à l'IP2I Lyon (FPGA, et en ASIC IBM130 et TSMC130)
- **Deux mémorisations décalées du pas de quantification :**
 - si 1,28 GHz => LSB = 12,2 ps => précision rms = 3,52 ps
 - si 2,56 GHz => LSB = 6,1 ps => précision rms = 1,76 ps
 - ce type d'architecture « simple » est bien connue au LPC Caen (utilisé dans DiamASICV2 et TEPICV2) et permet d'avoir des temps morts très courts (~10 ns).
- **Méthode d'amplification temporelle de résidu :**
 - création d'une impulsion dont le temps est proportionnel à l'erreur de temps créée par le 1er niveau d'interpolation (DLL).
 - cette erreur correspond au résidu et va être amplifiée de telle sorte que le temps à l'état haut correspond à $N \times \text{Résidu}$.
 - cette amplification temporelle peut être réalisée par :
 - système générant un train d'impulsion : en cours d'étude (*explication basée sur la publication IEEE de 2013 : a 7 bit, 3.75 ps Resolution Two-Step Time-to-Digital Converter in 65 nm CMOS Using Pulse-Train Time Amplifier*).
 - oscillateur en anneau commuté :
- **Méthode analogique avec un générateur à double rampe :**
 - générer le pulse de résidu d'une façon analogique en utilisant un générateur de double rampe.
 - la rampe démarre sur le signal du Hit (attention au retard de démarrage) sur une durée donnée.
 - la descente de la rampe est plus lente que la montée (exemple d'un facteur 8 : le résidu à convertir devient alors $8 \times 20\text{ps} = 160\text{ps}$, si le LSB du 1er interpolateur est de 20 ps).
 - le seuil de déclenchement du générateur de rampe pourrait être le seuil $V_{dd}/2$ des portes logiques (seuil de basculement d'un inverseur par exemple)

- Les circuits seront réalisés dans la technologie TSMC 130nm.
- Les soumissions des « tape out » se feront via le service fonderie du CERN.
- Tous les building blocs seront soumis dans un même chip (ASIC) :
 - cela facilitera les interconnexions entre les blocs moyennant des switches
 - chaque bloc doit pouvoir être testé seul et en interaction avec les autres éléments de la chaîne
- Utiliser une carte de développement (du commerce) puissante à base de FPGA pour
 - piloter le TDC en particulier.
 - le choix de la/les cartes adéquates est en cours d'évaluation (commande prévue en novembre 2021).
- Des cartes mezzanines seront réalisées par l'équipe du service électronique du LPC Clermont.
- La réalisation du firmware et du software du banc de test est en cours d'évaluation.

Conclusions

- FASTIME : une R&T démarrée en janvier 2021 pour une durée de 3 ans.
- FASTIME est une collaboration entre 6 laboratoires de l'IN2P3 :
 - IJCLab, IPHC, IP2I, LPC-Caen, LPC-Clermont et Omega
 - Synergie entre les différentes équipes impliquées sur la thématique du timing
 - Partage des designs et de l'expertise (réunions périodiques, atrium, la box in2p3...)
- Une pré-phase a permis :
 - établissement du cahier des charges, revue de l'état de l'art et consolidation du planning de développement
- La phase 1 du projet est en cours :
 - design de blocs nécessaires pour constituer une chaine complète de mesure de temps précise
 - une soumission en fonderie des building blocs est prévue en avril 2022.

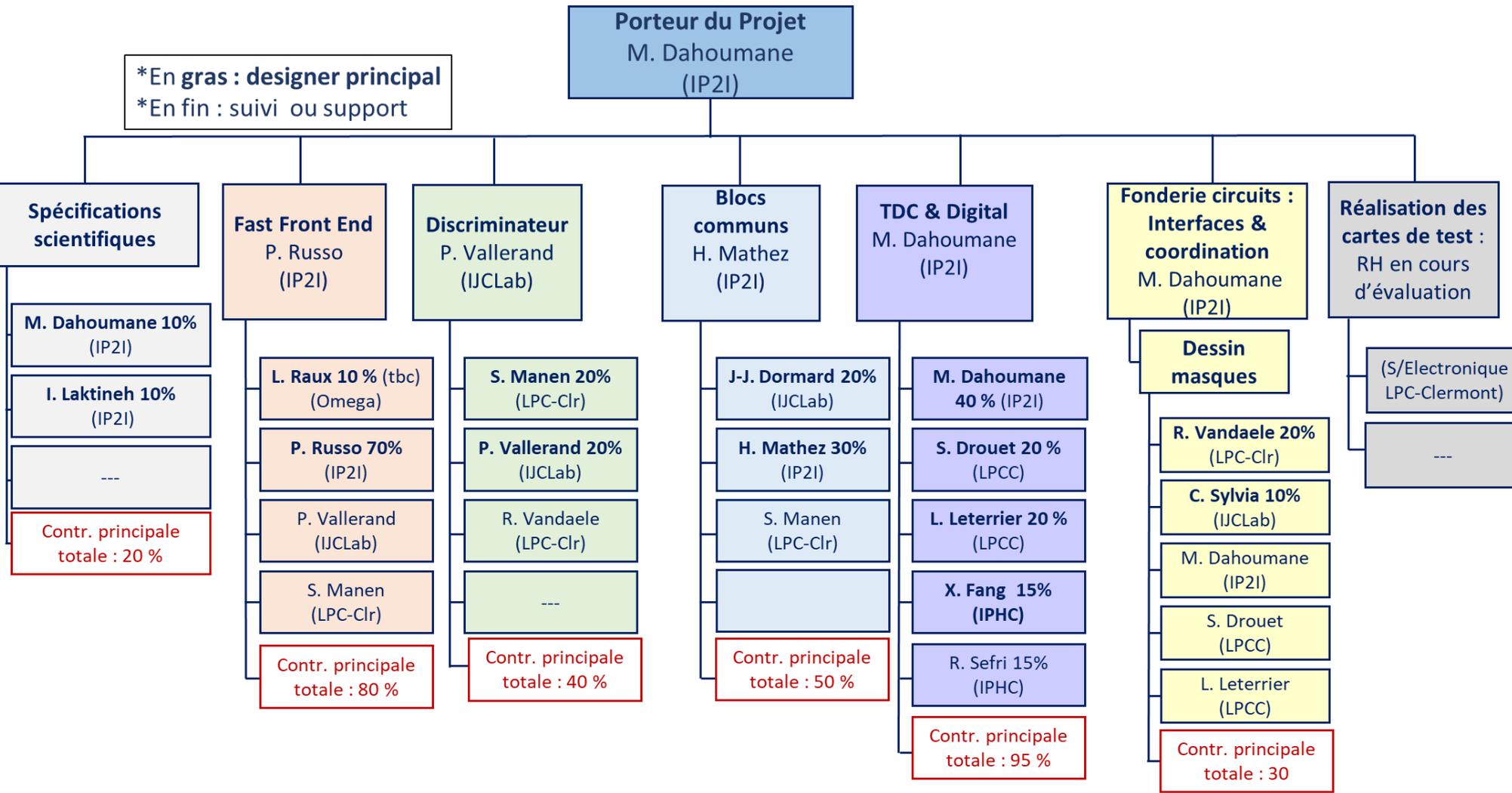
Merci pour votre attention

Backup slides

Planning GANTT du projet mis à jour avec jalons principaux

Date jalons	Type de jalons (revues ou dates livrables)	Objectifs
31/07/2020	Dépôt de demande de projet R&T FASTIME auprès de DAS (AT) et DAT IN2P3.	Demande de soutien pour une R&T sur le mesure de temps précise.
19/01/2021	Kick-off meeting de FASTIME	Réunion des membres de la collaboration de démarrage du projet
31/05/2021	Delivrable N°1	Rédaction du cahier des charges et consolidation du planning
Avril 2022	1ere soumission en Fonderie TSMC 130 nm	Soumission en fonderie des ASICs : les buildings blocs qui seront intégrés dans une chaine complète
Novembre 2022	Delivrable N°2	Rédaction de la documentation technique des circuits réalisés en fonderie N°1.
Novembre 2022	Delivrable N°3	Rédaction du rapport de la phase 1 et définition de plan de développement (mise à jour) pour la phase 2 du projet
Mai 2023	2eme Fonderie TSMC 130 nm	Soumission en fonderie d'une chaine complète de mesure de temps : intégration des buildings blocs réalisés dans la première fonderie
Février 2024	Delivrable N°4	Rédaction de la documentation technique du prototype complet (2eme soumission en fonderie)
Avril 2024	Delivrable N°5 (fin du projet)	Rédaction du rapport final. Rédaction des publications associées. Dont au moins une dans Revue à CL

Organigramme de la Collaboration FASTIME (mise à jour de septembre 2021)



Design de Building Blocs : le TDC (Time to Digital Converter)

Réalisation d'une revue de l'état de l'art durant la pré-phase de ce projet.

- Produits-TDCs disponibles dans le commerce :
 - Texas Instruments TDC7201 qui fournit une résolution de 55 ps
 - TDC tel que le Time Tagger de Swabian Instrument fournit 18 canaux avec une résolution de 10 ps
 - La série Hydraharp et Picoharp de PicoQuant ...
- TDC dans le domaine de la recherche :
 - Porat en 1973 a réalisé la toute première revue sur les mesures d'intervalle de temps sub nanoseconde examinant TAC, counter et Vernier TDC.
 - Ensuite (2004), Kalisz a écrit une revue sur les méthodes de mesure d'intervalle de temps, qui a analysé l'architecture du TAC, de l'amplificateur de temps à double pente, du compteur, de la ligne à retard, du Vernier et des TDC de l'oscillateur commandé en tension (VCO).
 - ...
 - Plus récemment S. Tancock et al (2019) ont publié un : « A Review of New Time-to-Digital Conversion Techniques ». Cette étude s'appuie sur les précédentes et est plus complète
- Le picoTDC du CERN et leurs designs antérieurs sur la mesure de temps (PLL et HPTDC) .
- Revue des développements TDC à l'IN2P3 :
 - Vernier Ring Oscillator TDC : Single phase detector et multi phase detector TDC (IP2I Lyon)
 - TDC à base de DLL pour Altiroc (Omega)
 - Waveform TDC (IJCLab)
 - TDC DiamASICV2 (LPCC)
 - Teafon TDC (IPHC)
 - Identification des points critiques à optimiser pour chacun de nos designs.

Design de Building Blocs : le TDC (Time to Digital Converter)

1er niveau d'interpolation : DLL :

Le premier niveau d'interpolation sera utilisé pour la mesure de temps en mode « médical », nécessitant une précision sur temps de vol souhaité < 10 ps FWHM.

Ce qui impose :

- jitter rms = 3 ps rms par mesure de temps.
- $LSB = 3 \text{ ps} \times \sqrt{12} = 10,4 \text{ ps}$ (si l'on considère que le rms de la DLL est égal à $LSB/\text{racine}(12)$)

Remarque : Il paraît impossible d'atteindre le pas de quantification de 10 ps avec une DLL en TSMC 130nm (selon les travaux du CERN)

Fréquence (GHz)	Période (ps)	Nombre de cellules	Délai (ps)	Précision rms (ps)
2,56	390,625	32	12,2	3,52
1,28	781,25	32	24,4	7,04

Performances visées selon la fréquence de la CLK de référence de la DLL (1er interpolateur)

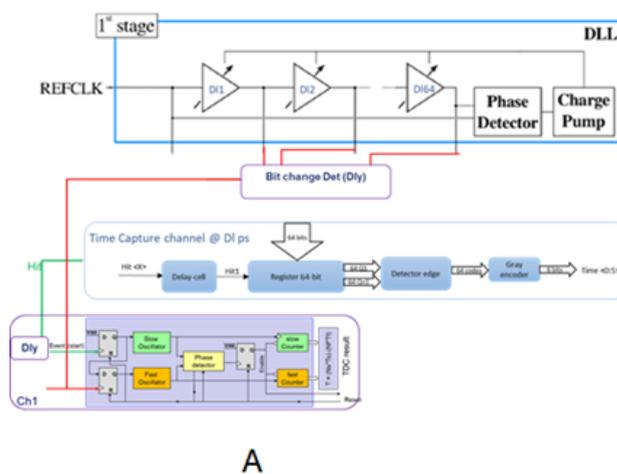
Coarse time (extension de la dynamique on chip) :

- le compteur grossier doit fonctionner à la même fréquence que l'interpolateur de premier niveau (DLL).
- il est nécessaire de vérifier que la logique peut « tourner » entre 1,28 GHz et 2,56 GHz !
- ce compteur devrait être de type GRAY.
- la profondeur de ce compteur est à déterminer : 16 bits @ 1,28 GHz $\Rightarrow 51,2 \mu\text{s}$

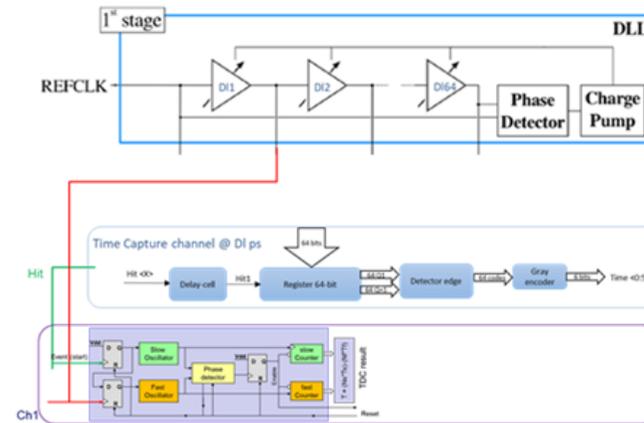
Design de Building Blocs : le TDC (Time to Digital Converter)

2eme niveau d'interpolation :

- Exemple d'implémentation de la méthode Vernier Ring Oscillateur (VRO) :
- deux scénarii : multiple sorties DLL vs. sortie unique



A



B

(A) :

- détecter le prochain changement de bit dans la DLL après l'arrivée d'un Hit qui fige l'image de la DLL.
- Utiliser ce signal comme signal de stop du Vernier. Le signal start étant le Hit.

difficultés :

- réalisation du détecteur de changement de bit avec des Délai unitaires de ~ 20 ps.
- rajout de délais important à calibrer : attentions aux dispersions

(B) :

- prendre une seule sortie de la DLL :
- Pas de logique de détection de changement de bit
- aucun délai n'est rajouté (sauf celui le routage)

faiblesse :

- temps mort qui est :
 - si $l_{sb} = 3.5$ ps, 32 délai DLL, 1ns période osc Vernier :
 - temps mort = $\sim (16 \cdot 20 \text{ ps} / 3,5) \cdot 1 \text{ ns} = 91 \text{ ns}$.
 - si $l_{sb} = 3.5$ ps, 32 délai DLL, 500 ps périod
 - temps mort = $\sim (16 \cdot 20 \text{ ps} / 3,5) \cdot 0.5 \text{ ns} = 45.5 \text{ ns}$.